

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2006/303330

International filing date: 23 February 2006 (23.02.2006)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2005-066051  
Filing date: 09 March 2005 (09.03.2005)

Date of receipt at the International Bureau: 13 April 2006 (13.04.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

17. 3. 2006

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2005年 3月 9日

出 願 番 号  
Application Number: 特願2005-066051

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

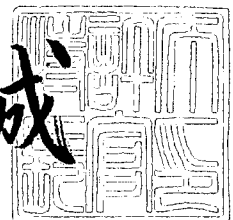
JP2005-066051

出 願 人  
Applicant(s): ソニー株式会社

2005年12月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

中 嶋 誠



【書類名】 特許願  
【整理番号】 0590057201  
【提出日】 平成17年 3月 9日  
【あて先】 特許庁長官殿  
【国際特許分類】 G01C 19/56  
【発明者】  
    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
    【氏名】 稲熊 輝往  
【特許出願人】  
    【識別番号】 000002185  
    【氏名又は名称】 ソニー株式会社  
【代理人】  
    【識別番号】 100067736  
    【弁理士】  
    【氏名又は名称】 小池 晃  
【選任した代理人】  
    【識別番号】 100086335  
    【弁理士】  
    【氏名又は名称】 田村 榮一  
【選任した代理人】  
    【識別番号】 100096677  
    【弁理士】  
    【氏名又は名称】 伊賀 誠司  
【手数料の表示】  
    【予納台帳番号】 019530  
    【納付金額】 16,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9707387

**【書類名】 特許請求の範囲****【請求項 1】**

回路素子が実装されるとともに複数個のランドを有する配線パターンが形成された支持基板の主面に、上記ランドの形成領域を囲んで負荷緩衝溝部を形成し、

上記負荷緩衝溝部によって囲まれた領域を素子実装領域として振動素子を実装することを特徴とする振動型ジャイロセンサ。

**【請求項 2】**

上記負荷緩衝溝部が、上記支持基板の主面に  $100\mu\text{m}$  以上の深さ寸法を以って形成された上記ランドを全周に亘って囲む枠状溝であることを特徴とする請求項 1 に記載の振動型ジャイロセンサ。

**【請求項 3】**

上記支持基板が、上記振動素子を実装する第 1 主面と対向する第 2 主面に複数の実装端子部を形成されるとともに、これら実装端子部に設けた金属バンプを介して実装基板に実装され、

上記第 2 主面側にも、上記実装端子部の形成領域を囲む略枠状の第 2 負荷緩衝溝部が形成されていることを特徴とする請求項 1 に記載の振動型ジャイロセンサ。

**【請求項 4】**

上記振動素子が、複数の接続端子部が設けられて上記支持基板に固定される基部と、この基部の外周部から片持ち梁状に一体に突設されるとともに上記各接続端子部をそれぞれ基端として長さ方向に第 1 電極層と第 2 電極層及び検出電極とを圧電薄膜層を介して積層形成した振動子部とから構成される片持ち型振動素子であることを特徴とする請求項 1 に記載の振動型ジャイロセンサ。

**【請求項 5】**

上記振動素子が、上記接続端子部が設けられた上記基部の第 1 主面を上記支持基板と対向して実装面として構成して上記各接続端子部に設けられた金属バンプによって上記支持基板の相対するランドに対して表面実装され、

上記負荷緩衝溝部が、上記各ランドの形成領域を囲んで上記支持基板の主面に形成されることを特徴とする請求項 4 に記載の振動型ジャイロセンサ。

【書類名】明細書

【発明の名称】振動型ジャイロセンサ

【技術分野】

【0001】

本発明は、支持基板に片持ち梁振動子を有する振動素子を実装してなる振動型ジャイロセンサに関する。

【背景技術】

【0002】

ジャイロセンサは、例えば高ズーム率化や小型化に伴って録画画像に手振れ現象が生じやすくなるようになったビデオカメラ等に搭載されてCCD (Charge-Coupled Device) 等の撮像基板上の画像情報の取り込み位置を制御する制御信号を出力する手振れ補正機構に用いられる。また、ジャイロセンサは、バーチャルリアリティ装置に用いられて動作検知器を構成したり、カーナビゲーション装置に用いられて方向検知器を構成する。

【0003】

ビデオカメラの手振れ補正機構は、録画画像の時間軸での位置ズレ自体のマッチングを行って補正を行うように構成したものも提供されているが、一般的にビデオカメラの保持状態の回転角を検出して対応する角速度を出力するジャイロセンサを用いて実際の手振れ量を補正するように構成したものが用いられている。ジャイロセンサには、検出機構として回転体や光学手段が用いられ、振動素子が用いられている。

【0004】

振動型ジャイロセンサは、従来振動素子が、適宜の圧電材料を機械加工によって切り出して所定の形状に整形して製作されていた。振動型ジャイロセンサにおいては、搭載される本体機器の小型軽量化、多機能高性能化に伴ってさらなる小型化や高性能化が要求されているが、機械加工による加工精度の限界によって小型で高精度の振動素子を製作することが困難であった。

【0005】

このため、振動型ジャイロセンサは、半導体技術を用いて、シリコンウェハ上に圧電薄膜層を挟んで一对の電極層を積層形成することによって片持ち梁振動子を構成した振動素子を備えたものも提供されている（例えば、特許文献1参照）。振動型ジャイロセンサは、振動子を所定の共振周波数で振動させておき、角速度の変化によって生じるコリオリ力を圧電薄膜層と検出電極とによって検出することで、振動等による角速度の変化を検出する。振動型ジャイロセンサは、簡易な構造や短時間で起動することによる高応答性或いは小型で安価である等の特徴を有している。

【0006】

【特許文献1】特開平7-113643号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、振動型ジャイロセンサにおいては、例えば制御基板等の実装基板に実装されて本体機器に搭載されるが、本体機器の小型軽量化や多機能高性能化に伴ってさらなる小型化や高性能化が要求されている。振動型ジャイロセンサにおいては、従来振動素子の各電極と支持基板側のランドとをワイヤボンディング法により接続しているが、振動素子の周囲にワイヤを引き回すためのスペースが必要となるために小型化の限界があった。

【0008】

振動型ジャイロセンサにおいては、このために半導体チップ等の実装法として採用されているフリップチップ実装法等により振動素子を支持基板に対して表面実装することにより実装スペースや実装効率の向上を図ることも検討されている。振動型ジャイロセンサにおいては、同様にして支持基板が実装基板に対して表面実装されることで、スペースや実装工程の効率化が図られている。

【0009】

振動型ジャイロセンサにおいては、小型化や表面実装法の採用によって外部から加えられる振動や衝撃等の外部負荷の影響を強く受ける。振動型ジャイロセンサにおいては、かかる外部負荷によって支持基板に歪みや応力が発生する。振動型ジャイロセンサにおいては、この支持基板の歪みや応力が振動素子に作用して、角速度の検出特性が大きく変化するという問題が生じる虞がある。

#### 【0010】

振動型ジャイロセンサにおいては、本体機器の仕様に応じて様々な態様で用いられても所定の検出特性が安定して奏されるように構成されなければならない。振動型ジャイロセンサにおいては、高感度で安定した検出特性を得るために振動素子の共振状態を定義する機械品質係数Q値(Q factor)を高くする必要もある。機械品質係数Q値は、振動素子の材料や固定構造によって決定される。

#### 【0011】

したがって、本発明は、外部負荷の影響を低減して所定の検出特性が奏されるようにする振動型ジャイロセンサを提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0012】

上述した目的を達成する本発明にかかる振動型ジャイロセンサは、回路素子が実装されるとともに複数のランドを有する配線パターンが形成された支持基板に、ランドの形成領域を囲んで負荷緩衝溝部を形成し、この負荷緩衝溝部によって囲まれた領域を素子実装領域として振動素子を実装する。

#### 【0013】

振動型ジャイロセンサは、振動素子が、相対するランドと接続される複数の接続端子部が設けられて支持基板に固定される基部と、この基部の外周部から片持ち梁状に一体に突設されるとともに各接続端子部をそれぞれ基端として長さ方向に第1電極層と第2電極層及び検出電極とを圧電薄膜層を介して積層形成した振動子部とから構成される。振動型ジャイロセンサは、支持基板の主面に、相対する接続端子部が接続されるランドの形成領域を囲んで負荷緩衝溝部を形成し、この負荷緩衝溝部によって囲まれた領域を振動素子の実装領域として基部を固定する。

#### 【0014】

負荷緩衝溝部は、支持基板の主面に100 $\mu$ m以上の深さ寸法を以って形成されたランドの形成領域を全周に亘って囲む枠状溝によって構成される。負荷緩衝溝部は、連続した枠状溝ばかりでなく、枠状に配列して形成された多数個の溝部によって構成するようにしてもよい。

#### 【0015】

振動型ジャイロセンサは、振動素子が、接続端子部を設けた基部の第1主面を支持基板と対向して実装面とされて各接続端子部に設けられた金属バンプによって支持基板の相対するランドに対して表面実装される。金属バンプは、支持基板の主面に対して振動素子が振動子部を所定の対向間隔に保持されて基部を固定するに足る高さを有する金バンプや銅バンプ或いは半田バンプ等によって形成される。

#### 【0016】

振動型ジャイロセンサは、支持基板が、振動素子を実装する第1主面と対向する第2主面に複数の実装端子部を形成するとともにこれら実装端子部に設けた金属バンプを介して本体機器側の制御基板やインターポーザ等の実装基板に実装される。支持基板には、第2主面側にも、実装端子部の形成領域を囲んで枠状の第2負荷緩衝溝部が形成される。

#### 【0017】

振動型ジャイロセンサにおいては、支持基板側の駆動検出回路部から振動素子に対して所定周波数の交流電界を印加することによって、振動子部に固有振動を生じさせる。振動型ジャイロセンサにおいては、手振れ等により生じるコリオリ力によって振動子部が変位し、この変位を圧電薄膜層が検出して一対の検出電極から互いに逆極性の検出信号を出力する。振動型ジャイロセンサにおいては、この検出信号を駆動検出回路部によって処理し

て角速度信号として出力する。

【0018】

振動型ジャイロセンサにおいては、外部から加えられる振動や衝撃等の外部負荷の影響を強く受ける。振動型ジャイロセンサにおいては、かかる外部負荷によって支持基板に歪みや応力が発生する。振動型ジャイロセンサにおいては、この支持基板の歪みや応力を負荷緩衝溝部において吸収或いは緩和し、この負荷緩衝溝部によって囲まれた振動素子の実装領域に直接及ばないようにする。振動型ジャイロセンサにおいては、振動素子が安定した振動動作を行って所定の検出特性が奏されるようになる。

【発明の効果】

【0019】

本発明にかかる振動型ジャイロセンサによれば、小型化されるにもかかわらず振動素子が外部負荷からの影響を緩和されて安定した動作を行うことで、角速度変化を高精度に検出することが可能となる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態として図面に示した振動型ジャイロセンサ1について、詳細に説明する。振動型ジャイロセンサ1は、図1に示すように支持基板2と、この支持基板2の主面2-1上に組み付けられて部品実装空間部3を構成する遮光特性を有するカバー部材60とにより外観部材を構成し、例えばビデオカメラ等の制御基板100に搭載されて手振れ補正機構を構成する。また、振動型ジャイロセンサ1は、例えばバーチャルリアリティ装置に用いられて動作検知器を構成し、或いはカーナビゲーション装置に用いられて方向検知器を構成する。

【0021】

振動型ジャイロセンサ1は、支持基板2に例えばセラミック基板やガラス基板等が用いられ、主面2-1上に詳細を省略するが多数個のランド4等を有する所定の配線パターン5が形成されて部品実装領域6が構成される。支持基板2には、各ランド4に接続されて主面2-1上に詳細を後述する一対の振動素子20X、20Y（以下、個別に説明する場合を除いて振動素子20と総称する。）と、IC回路素子7或いは外付け用の多数個のセラミックコンデンサや適宜の電子部品8が搭載されている。

【0022】

振動型ジャイロセンサ1は、手振れ等により生じるコリオリ力による振動素子20の変位を、詳細を後述するようにこの圧電素子20に形成した圧電薄膜層28と検出電極30とによって検出して検出信号を出力する。振動型ジャイロセンサ1においては、圧電薄膜層28に光が照射されると焦電効果により電圧が発生し、この焦電圧が検出動作に影響を及ぼして検出特性が低下する。なお、振動型ジャイロセンサ1は、詳細を後述するように片持ち梁型の振動素子20を支持基板2に実装したが、例えばバルク型振動素子等の適宜の振動素子を備えるようにしてもよいことは勿論である。

【0023】

支持基板2は、部品実装領域6上に、IC回路素子7や電子部品8とともに振動素子20を適宜の実装機を用いてそれぞれフリップチップ法等の表面実装法によって実装する。支持基板2は、詳細を後述するように同一形状に形成した一対の振動素子20X、20Yを、主面2-1の相対するコーナ部位2C-1、2C-2に位置して互いに軸線を異にして実装する。支持基板2は、詳細を省略するが実装機に位置決めされて載置されるとともに、各ランド4の位置が実装機側に認識されるようにする。支持基板2には、詳細を後述するように、実装機によって振動素子20が実装位置を特定されて正確に実装される。

【0024】

支持基板2には、振動素子20X、20Yに対応して部品実装領域6に間隔構成凹部11A、11B（以下、個別に説明する場合を除いて間隔構成凹部11と総称する。）が形成されている。間隔構成凹部11は、支持基板2に主面2-1に対して例えばエッチング加工や溝切り加工を施して所定の深さと開口寸法を以って形成される。

**【0025】**

振動型ジャイロセンサ 1 は、詳細を後述するようにシリコン基板 21 を基材として基部 22 と片持ち梁状の振動子部 23 が一体に形成された振動素子 20 が、金バンプ 26 を介して支持基板 2 の主面 2-1 上に実装される。振動素子 20 は、金バンプ 26 の厚みにより振動子部 23 と支持基板 2 の主面 2-1 との対向間隔が規定され、全体を薄型化するとともに金バンプ 26 の加工限界とによって十分な間隔を保持し得ない状態となる。

**【0026】**

振動素子 20 は、振動子部 23 の振動動作に伴って支持基板 2 の主面 2-1 との間に空気流を生じさせ、この空気流が支持基板 2 の主面 2-1 に当たって振動子部 23 を押し上げるダンピング効果の作用を受ける。振動型ジャイロセンサ 1 は、この振動素子 20 に作用するダンピング効果の影響が、上述したように支持基板 2 の主面 2-1 に間隔構成凹部 11 を形成することにより、図 2 に示すように主面 2-1 と振動子部 23 とが十分な間隔に保持されて低減されるようにする。

**【0027】**

なお、本明細書においては、各部について具体的な寸法値を示して説明するが、各寸法値には中心基準値のみが示されている。各部位は、この中心基準値に限定された寸法値で形成されることに限定されず、一般的な公差範囲の寸法値を以って形成されることは勿論である。

**【0028】**

振動型ジャイロセンサ 1 は、支持基板 2 を薄厚とすることによって小型、薄型化を図ることによって、外部から加えられる振動や衝撃等の外部負荷によって支持基板 2 に歪みや応力が発生することがある。振動型ジャイロセンサ 1 は、支持基板 2 に外部負荷の緩衝構造が設けられることによって、歪みや応力が生じた場合でも支持基板 2 に搭載した振動素子 20 への影響が低減されるように構成されている。

**【0029】**

支持基板 2 は、図 1 及び図 2 に示すように、第 1 主面 2-1 の各コーナ部位 2C-1、2C-2 に形成した詳細を後述する第 1 負荷緩衝溝部 12A、12B（以下、個別に説明する場合を除いて第 1 負荷緩衝溝部 12 と総称する。）によって囲まれた領域を振動素子実装領域 13A、13B（以下、個別に説明する場合を除いて振動素子実装領域 13 と総称する。）として構成し、各振動素子実装領域 13 に振動素子 20 を実装する。支持基板 2 は、図 2 に示すように本体機器側の制御基板 100 に実装される第 2 主面 2-2 側に詳細を後述する第 2 負荷緩衝溝部 14 を形成し、この第 2 負荷緩衝溝部 14 によって囲まれた領域を端子形成領域 15 として構成する。

**【0030】**

支持基板 2 は、上述した第 1 負荷緩衝溝部 12 が図 3 に示すように後述する振動素子 20 の基部 22 の外形寸法よりも大きな振動素子実装領域 13 を構成する全体枠状の有底溝によって構成する。第 1 負荷緩衝溝部 12 は、例えばダイサー等による機械的溝加工やウェットエッチング法による科学的溝加工或いはレーザ等によるドライエッチング法により形成される。第 1 負荷緩衝溝部 12 は、溝加工が他の部品に干渉しないために、ダイサーによる機械的溝加工を容易に実施することが可能であり、コストを上昇させることもなく有効である。第 1 負荷緩衝溝部 12 は、後述する解析より明らかとされるが、支持基板 2 の機械的強度を損なわない範囲で溝の深さを 100  $\mu$ m 以上にして形成される。

**【0031】**

支持基板 2 は、例えば第 2 主面 2-2 側に、図 4 に示すように一対の第 2 負荷緩衝溝部 14A、14B がそれぞれ外周側縁部に沿って平行に形成されており、これら第 2 負荷緩衝溝部 14 と外周側縁部との間の領域を端子形成領域 15A、15B としてそれぞれに複数の実装端子部 16A、16B を適宜に配列して形成する。支持基板 2 は、各実装端子部 16 にそれぞれバンプ 17 を設け、これらバンプ 17 を介して実装端子部 16 が相対するランドと接続されることによって、制御基板 100 に実装されるようにする。

**【0032】**



第2負荷緩衝溝部14も、第1負荷緩衝溝部12と同様に、例えばダイサー等による機械的溝加工やウェットエッチング法による科学的溝加工或いはレーザ等によるドライエッチング法等によって支持基板2の第2主面2-2に所定の深さを以って形成される。第2負荷緩衝溝部14も、支持基板2の第2主面2-2において浮島状の端子形成領域15を構成し、この端子形成領域15に外周側縁部に沿って複数個の実装端子部16が配列して形成されるようにする。なお、第2負荷緩衝溝部14は、外周側縁部に沿った直線溝に限定されず、例えば実装端子部16を囲む枠状や両端を外周側縁部に開放された略コ字状に形成するようにしてもよい。

#### 【0033】

支持基板2には、詳細を省略するが第1主面2-1と第2主面2-2とを貫通して多数個のビアが形成されており、これらビアを介して第1主面2-1側の配線パターン5と第2主面2-2側の実装端子部16とが適宜接続される。支持基板2は、バンプ17を介して実装端子部16が相対するランドと接続されることによって、図2に示すように制御基板100に実装される。

#### 【0034】

振動型ジャイロセンサ1は、本体機器に衝撃等が加えられると、制御基板100を介して支持基板2に歪みや応力が発生する。振動型ジャイロセンサ1は、本体機器の仕様に応じて適宜の実装姿勢により制御基板100に搭載されることで、外部負荷により支持基板2に多様な歪みや応力が発生して予めその対応を図ることが困難である。振動型ジャイロセンサ1においては、上述したように第1負荷緩衝溝部12によって囲まれて浮島状態とされた銅素子実装領域13上に振動素子20を実装したことで、外部負荷により支持基板2に生じた歪みや応力が第1負荷緩衝溝部12によって吸収されるようにする。したがって、振動型ジャイロセンサ1においては、第1負荷緩衝溝部12において一種のダンパー作用が奏されて銅素子実装領域13上に実装した振動素子20に対する外部負荷の影響を低減し、振動素子20が安定した状態で検出動作を行うようにする。

#### 【0035】

一方、振動型ジャイロセンサ1においては、上述したように第2負荷緩衝溝部12を設けて浮島状態とした端子形成領域15に設けられた実装端子部16が制御基板100との固定部を構成する。振動型ジャイロセンサ1においては、制御基板100を介して伝達される外部負荷が第2負荷緩衝溝部12によって吸収されるようにする。したがって、振動型ジャイロセンサ1においては、第2負荷緩衝溝部12において一種のダンパー作用が奏されて銅素子実装領域13上に実装した振動素子20に対する外部負荷の影響を低減し、振動素子20が安定した状態で検出動作を行うようにする。

#### 【0036】

なお、第1負荷緩衝溝部12は、全周に亘って連続したコ字状の溝部によって構成される必要は無い。第1負荷緩衝溝部12は、所定の特性を満たすことを条件に、例えば多数個の溝部を全体として枠状に配列して構成するようにしてもよい。また、第2負荷緩衝溝部14も、連続した溝部によって構成される必要は無く、例えば多数個の溝部を配列して構成するようにしてもよい。振動型ジャイロセンサ1においては、支持基板2の第1主面2-1に第1負荷緩衝溝部12を形成するとともに第2主面2-2に第2負荷緩衝溝部14を形成して表裏主面の負荷緩衝構造を構成するようにしたが、所定の特性を有することを条件に第1負荷緩衝溝部12のみによって負荷緩衝構造を構成するようにしてもよい。

#### 【0037】

振動型ジャイロセンサ1は、各振動素子20X、20Yが、詳細を後述するようにシリコン単結晶基板21（以下、シリコン基板21と略称する。）をベースにして形成され、図1に示すように支持基板2の主面2-1上に互いに90°ずれた状態で搭載される。振動素子20は、詳細を後述するが、図2及び図3に示すようにそれぞれやや厚みのある矩形ブロック状に形成された基部22と、この基部22の一側部から一体に突設された振動子部23とから構成される。なお、振動型ジャイロセンサ1は、一対の振動素子20X、20Yにより直交する2軸の振動検出を行うようにするが、本体機器の仕様に応じて適宜

の角度差を以って振動素子 20X、20Y を支持基板 2 に実装するようにしてもよいことは勿論である。

【0038】

振動素子 20 は、後述するようにシリコン基板 21 の第 2 主面 21-2 によって構成される基部 22 の第 2 主面が支持基板 2 に対する固定面を構成して上述した振動素子実装領域 13 上に実装される。振動素子 20 には、基部 22 の第 2 主面上に平坦化層 24 を介して第 1 端子部 25A 乃至第 4 端子部 25D (以下、個別に説明する場合を除いて端子部 25 と総称する。) が形成されるとともに、これら端子部 25 上にそれぞれ第 1 金バンプ 26A 乃至第 4 金バンプ 26D (以下、個別に説明する場合を除いて金バンプ 26 と総称する。) が形成されている。

【0039】

振動素子 20 は、各端子部 25 がそれぞれ支持基板 2 側の配線パターン 5 に形成した各ランド 4 に対応して形成されており、詳細を後述するように相対する端子部 25 とランド 4 とを位置合わせして支持基板 2 に組み合わされる。振動素子 20 は、この状態で支持基板 2 に押し当てながら金バンプ 26 に超音波を印加して溶着させる溶着処理を施すことによって各端子部 25 とランド 4 とを接合して、支持基板 2 上に実装される。振動素子 20 は、所定の高さを有する金バンプ 26 を介して実装することによって、上述したように振動子部 23 がその第 2 主面を支持基板 2 の主面 2-1 に対して所定の高さ位置に保持されて振動動作を行うようにする。

【0040】

振動素子 20 は、振動子部 23 が、基部 22 の第 2 主面、すなわちシリコン基板 21 の第 2 主面 21-2 によって構成される第 2 主面を基部 22 の第 2 主面と同一面を構成し、一端部を基部 22 に一体化されて片持ち梁状に突設されている。振動素子 20 は、振動子部 23 が、第 1 主面側がシリコン基板 21 の第 1 主面 21-1 によって構成される基部 22 の第 1 主面から段落ちされることによって所定の厚みとされる。振動素子 20 は、振動子部 23 が、所定の長さで断面積を有して基部 22 と一体に形成された矩形の片持ち梁によって構成される。

【0041】

振動素子 20 は、後述する工程によってシリコン基板 21 から図 6 に示すように、例えば基部 22 が、厚み寸法  $t_1$  を  $300\mu\text{m}$ 、振動子部 23 の先端部までの長さ寸法  $t_2$  を  $3\text{mm}$ 、幅寸法  $t_3$  を  $1\text{mm}$  の大きさを以って形成される。振動素子 20 は、振動子部 23 が図 7 に示すように、厚み寸法  $t_4$  を  $100\mu\text{m}$ 、長さ寸法  $t_5$  を  $2.5\text{mm}$ 、幅寸法  $t_6$  を  $100\mu\text{m}$  を以って形成される。振動素子 20 は、詳細を後述するように駆動検出回路部 50 から印加される所定周波数の駆動電圧により振動動作するが、上述した形状から  $40\text{KHz}$  の共振周波数で振動する。なお、振動素子 20 は、かかる構成に限定されるものではなく、使用する周波数や目標とする全体形状に応じて種々設定される。

【0042】

振動素子 20 は、基部 22 と振動子部 23 の各部分が、次の基本的な条件を満足して形成する。振動素子 20 は、基部 22 が、その幅寸法  $t_3$  を振動子部の幅寸法  $t_6$  の 2 倍よりも大きな幅寸法とされるとともに、重心位置を振動子部 23 の長手方向の中心軸線に対して振動子部 23 の幅寸法  $t_6$  の 2 倍の領域内に位置して形成される。振動素子 20 は、かかる構成によって振動子部 23 が左右のバランスを崩すことなく良好な状態で振動動作が行われるようになる。

【0043】

振動素子 20 は、基部 22 が、厚み寸法  $t_1$  を振動子部 23 の厚み寸法  $t_4$  の 1.5 倍で形成される。振動素子 20 は、かかる構成によって基部 22 の機械的強度が保持されて振動子部 23 の振動動作による振動動作の発生が抑制されて共振周波数のズレが生じないようになる。

【0044】

振動素子 20 には、後述する振動素子製造工程により、図 2 及び図 3 に示すように振動

子部 23 の第 2 主面上に長さ方向の略全長に亘って、基準電極層（第 1 電極層）27 と、圧電薄膜層 28 と、駆動電極層（第 2 電極層）29 とが積層形成されている。振動素子 20 には、振動子部 23 の第 2 主面上に、駆動電極層 29 を挟んで一对の検出電極 30R、30L（以下、個別に説明する場合を除いて検出電極 30 と総称する。）が積層形成されている。振動素子 20 は、振動子部 23 の第 2 主面上に第 1 層として基準電極層 27 を形成し、この基準電極層 27 上にほぼ同長の圧電薄膜層 28 を積層形成する。振動素子 20 は、圧電薄膜層 28 上にほぼ同長でかつ幅狭の駆動電極層 28 を幅方向の中央部に位置して積層形成するとともに、この駆動電極層 2 を挟んで圧電薄膜層 28 上に一对の検出電極 30R、30L を積層形成する。

#### 【0045】

振動素子 20 には、図 3 に示すように基部 22 の第 2 主面上に、基準電極層 27 と第 1 端子部 25A とを接続する第 1 リード 31A が形成されるとともに、駆動電極層 29 と第 3 端子部 25C とを接続する第 3 リード 31C が形成されている。振動素子 20 には、第 1 検出電極 25R と第 3 端子部 25C とを接続する第 2 リード 31B が形成されるとともに、第 2 検出電極 30L と第 4 端子部 25D とを接続する第 4 リード 31D が形成されている。なお、各リード 31A～31D については、以下、個別に説明する場合を除いてリード 31 と総称する。

#### 【0046】

第 1 リード 31A は、振動子部 23 に形成した基準電極層 27 の基端部から基部 22 側に一体に延長され、図 3 に示すように基部 22 の第 2 主面上に振動子部 23 を一体に形成した側の一方コーナ部に位置して形成された第 1 端子部 25A と一体化される。駆動電極層 29 と検出電極 30 は、詳細を省略するがそれぞれの基端部が振動子部 23 から基部 22 までやや幅広の部位で一体に延長され、これら幅広部位が平坦化層 24 によって被覆される。

#### 【0047】

第 2 リード 31B は、一端部が平坦化層 24 を乗り越えるようにして形成され、基部 22 の一側部に沿って第 1 端子部 25A と対向する後方側のコーナ部へと導かれることにより、このコーナ部に形成された第 2 端子部 25B と接続される。第 3 リード 31C は、一端部が平坦化層 24 を乗り越えるようにして形成され、基部 22 の略中央部を横切って後方側へと導かれるとともに後端側に沿って第 2 端子部 25B と対向するコーナ部へと導かれることにより、このコーナ部に形成された第 3 端子部 25C と接続される。第 4 リード 31D も、一端部が平坦化層 24 を乗り越えるようにして形成され、第 2 リード 31B と対向して基部 22 の他側部に沿って第 1 端子部 25A と対向する前方側の他方コーナ部へと導かれることにより、このコーナ部に形成された第 4 端子部 25D と接続される。

#### 【0048】

なお、振動素子 20 には、上述した構成にかかわらず端子部 25 が、基部 22 の第 2 主面上に最適化される適宜の位置でかつ適宜の個数を以って形成される。また、振動素子 20 は、各電極層のリード 31 と端子部 25 との接続パターンが上述した構成に限定されるものではないことは勿論であり、端子部 25 の位置や個数に応じて基部 22 の第 2 主面上に適宜に形成される。

#### 【0049】

振動素子 20 は、各端子部 25 に対してそれぞれ金バンプ 26 を形成したが、これら金バンプ 26 がいわゆる 2 段バンプによって形成されるようにしてもよい。また、振動素子 20 は、基部 22 の第 2 主面上に電氣的接続を行わないいわゆるダミーの第 5 金バンプを形成するようにしてもよい。勿論、支持基板 2 側には、この第 5 金バンプが溶着固定されるダミー端子部が形成される。

#### 【0050】

振動型ジャイロセンサ 1 においては、振動素子 20 が支持基板 2 に対する固定構造により Q 値が決定される。振動型ジャイロセンサ 1 においては、表面実装法によって支持基板 2 に対して振動素子 20 を実装することによって実装工程の効率化を図っている。表面実

装法においては、接続子として上述した金バンプ 26 ばかりでなく、半導体プロセスにおいて一般に採用される半田ボールや銅バンプ等の各種の金属バンプが用いられる。振動型ジャイロセンサ 1 においては、本体機器の実装工程においてリフロー半田処理等が施されてバンプ 17 を介して実装端子部 16 が制御基板 100 の各ランドと接続固定されることから耐熱性が大きくかつ作業性の高い金バンプ 26 が接続子として採用される。

#### 【0051】

振動素子 20 においては、基部 22 を金バンプ 26 を介して支持基板 2 の主面 2-1 から浮かした状態で実装されることによって、例えば金接続層によって基部 22 の全面を接合した場合と比較して振動子部 23 の先端部の減衰割合が大きくなって良好な Q 値が得られるようになる。また、振動素子 20 においては、基部 22 を支持基板 2 の主面 2-1 に対して 1 箇所固定するよりも複数箇所固定する構造によって良好な Q 値特性を得る。振動素子 20 においては、基部 22 を支持基板 2 の主面 2-1 に対して四隅の位置を固定することによって良好な Q 値特性を得る。

#### 【0052】

振動素子 20 においては、各金バンプ 26 を振動子部 23 の長手方向の中心軸線に対して幅寸法 t6 の範囲内の領域において全体の重心を位置させるようにして設けることが好ましい。振動素子 20 は、かかる金バンプ 26 の配置によって、厚み方向に振動動作する振動子部 23 が、左右のバランスを崩すことなく安定した状態で振動動作することが可能となる。

#### 【0053】

また、振動素子 20 においては、各金バンプ 26 を基部 22 から突出される振動子部 23 の根元部位 (図 18 参照) 43 から振動子部 23 の幅寸法 t6 の 2 倍を半径とする領域の外側領域に位置して形成することが好ましい。振動素子 20 は、かかる金バンプ 26 の配置によって、金バンプ 26 による振動子部 23 の振動動作を吸収する作用を低減して高 Q 値が保持されるようにすることが可能となる。

#### 【0054】

さらに、振動素子 20 においては、少なくとも 1 個の金バンプ 26 が、振動子部 23 の根元部位 43 から基部 22 の厚み寸法 t1 の 2 倍の範囲の領域内に形成されるようにすることが好ましい。振動素子 20 は、かかる金バンプ 26 の配置によって、振動子部 23 の振動動作が基部 22 に伝達されて共振周波数のズレを生じさせることが防止されるようになる。

#### 【0055】

振動型ジャイロセンサ 1 においては、上述したように 2 個の振動素子 20 X、20 Y を支持基板 2 の相対するコーナ部位 2C-1、2C-2 に位置して、振動素子部 23 が互いに 90° の角度差が付されるように軸線を異にして実装する。振動型ジャイロセンサ 1 においては、図 1 に示すように第 1 振動素子 20 X が、基部 22 をコーナ部位 2C-1 において上述した金バンプ 26 を介して支持基板 2 の主面 2-1 に構成した第 1 振動素子実装領域 13A 上に固定され、この基部 22 から一体に突設された振動子部 23 が支持基板 2 の側縁に沿って隣り合うコーナ部位 2C-3 に向けられる。

#### 【0056】

振動型ジャイロセンサ 1 においては、第 2 振動素子 20 Y が、基部 22 をコーナ部位 2C-2 に構成した第 2 振動素子実装領域 13B おいて上述した金バンプ 26 を介して支持基板 2 の主面 2-1 上に固定され、この基部 22 から一体に突設された振動子部 23 が支持基板 2 の側縁に沿って隣り合うコーナ部位 2C-3 に向けられる。振動型ジャイロセンサ 1 においては、第 1 振動素子 20 X と第 2 振動素子 20 Y とが、それぞれの振動子部 23 を互いにコーナ部位 2C-3 に向けて 90° の角度差を付されてそれぞれ支持基板 2 に実装される。

#### 【0057】

振動型ジャイロセンサ 1 においては、同一形状の第 1 振動素子 20 X と第 2 振動素子 20 Y とを支持基板 2 に対して精密に位置決めして実装するために、上述したように支持基

板 2 が各ランド 4 の位置を実装機側に認識される。振動素子 20 には、実装機によって認識された各ランド 4 に対して位置決めされて実装されるようにするために、基部 22 に位置合わせ用マーク 32 A、32 B（以下、位置合わせ用マーク 32 と総称する。）が設けられている。

#### 【0058】

振動素子 20 は、位置合わせ用マーク 32 が、図 1 及び図 3 に示すように、基部 22 の第 1 主面上に幅方向に離間して形成された金属箔等からなる一対の矩形部によって構成される。振動素子 20 は、実装機によって位置合わせ用マーク 32 が読み取られ、支持基板 2 に対する位置や姿勢の実装データが生成されるようにする。振動素子 20 は、この実装データと上述したランド 4 のデータとに基づいて、支持基板 2 に対して精密に位置決めされて実装される。

#### 【0059】

振動型ジャイロセンサ 1 においては、それぞれの振動素子 20 が、上述したように矩形断面の振動子部 23 に生じる長手方向に加えられた一方向の角速度を検出する。振動型ジャイロセンサ 1 においては、第 1 振動素子 20 X と第 2 振動素子 20 Y とを支持基板 2 に角度を異にして搭載することによって、X 軸方向と Y 軸方向の角速度を同時に検出する。振動型ジャイロセンサ 1 は、互いに軸線を異にして搭載した第 1 振動素子 20 X と第 2 振動素子 20 Y とによってビデオカメラの手振れによる振動状態に基づく制御信号を出力して手振れ補正機構を構成する。

#### 【0060】

振動型ジャイロセンサ 1 は、第 1 振動素子 20 X と第 2 振動素子 20 Y とにそれぞれ接続され IC 回路素子 7 や電子部品 8 等によって構成された例えば図 5 に示す第 1 駆動検出回路部 50 X と第 2 駆動検出回路部 50 Y とを備えている。振動型ジャイロセンサ 1 は、これら第 1 駆動検出回路部 50 X と第 2 駆動検出回路部 50 Y とが互いに同一の回路構成とされることから、以下、駆動検出回路部 50 と総称して説明する。駆動検出回路部 50 は、インピーダンス変換回路 51 と、加算回路 52 と、発振回路 53 と、差動増幅回路 54 と、同期検波回路 55 と、直流増幅回路 56 等を備えている。

#### 【0061】

駆動検出回路部 50 は、図 5 に示すように、振動素子 20 の第 1 検出電極 30 R に対してインピーダンス変換回路 51 と差動増幅回路 54 とが接続される。駆動検出回路部 50 は、インピーダンス変換回路 51 に加算回路 52 が接続され、この加算回路 52 に接続された発振回路 53 が第 2 検出電極 30 L と接続される。駆動検出回路部 50 は、差動増幅回路 54 と発振回路 53 とに同期検波回路 55 が接続され、この同期検波回路 55 に直流増幅回路 56 が接続される。なお、振動素子 20 の基準電極層 27 は、支持基板 2 側の基準電位 57 と接続される。

#### 【0062】

駆動検出回路部 50 は、振動素子 20 とインピーダンス変換回路 51 と加算回路 52 と発振回路 53 とによって自励発振回路を構成し、発振回路 53 から振動素子 20 の振動子部 23 に形成した駆動電極層 29 に対して所定周波数の発振出力  $V_{g0}$  を印加することによって固有振動を生じさせる。駆動検出回路部 50 は、振動素子 20 の第 1 検出電極 30 R からの出力  $V_{gr}$  と第 2 検出電極 30 L からの出力  $V_{gl}$  とがインピーダンス変換回路 51 に供給され、これらの入力に基づいてインピーダンス変換回路 51 から加算回路 52 に対してそれぞれ出力  $V_{zr}$  と  $V_{zl}$  とを出力する。駆動検出回路部 50 は、これらの入力に基づいて加算回路 52 から発振回路 53 に対して加算出力  $V_{sa}$  が帰還される。

#### 【0063】

駆動検出回路部 50 は、振動素子 20 の第 1 検出電極 30 R からの出力  $V_{gr}$  と第 2 検出電極 30 L からの出力  $V_{gl}$  とが差動増幅回路 54 に供給される。駆動検出回路部 50 は、後述するように振動素子 20 が手振れを検出した状態でこれら出力  $V_{gr}$  と出力  $V_{gl}$  とに差異が生じることから、差動増幅回路 54 によって所定の出力  $V_{da}$  を得る。駆動検出回路部 50 は、差動増幅回路 54 からの出力  $V_{da}$  が、同期検波回路 55 に供給され

る。駆動検出回路部 50 は、同期検波回路 55 において出力  $V_{da}$  を同期検波することで直流信号  $V_{sd}$  に変換して直流増幅回路 56 に供給し、所定の直流増幅を行った直流信号  $V_{sd}$  を出力する。

【0064】

駆動検出回路部 50 は、同期検波回路 55 が、差動増幅回路 54 の出力  $V_{da}$  を、発振回路 53 から駆動信号に同期して出力されるクロック信号  $V_{ck}$  のタイミングで全波整流した後で積分して直流信号  $V_{sd}$  を得る。駆動検出回路部 50 は、上述したようにこの直流信号  $V_{sd}$  を直流増幅器 14 において増幅して、出力することにより手振れにより生じる角速度信号の検出が行われるようにする。

【0065】

駆動検出回路部 50 は、インピーダンス変換回路 51 がハイ・インピーダンス入力  $z_2$  の状態でロー・インピーダンス出力  $z_3$  を得るようになっており、第 1 検出電極 30R と第 2 検出電極 30L 間のインピーダンス  $z_1$  と加算回路 52 の入力間のインピーダンス  $z_4$  とを分離する作用を奏する。駆動検出回路部 50 においては、インピーダンス変換回路 51 を設けることによってこれら第 1 検出電極 30R と第 2 検出電極 30L とから大きな出力差異を得ることが可能となる。

【0066】

駆動検出回路部 50 においては、上述したインピーダンス変換回路 51 が入力と出力とのインピーダンス変換機能を奏し信号の大きさに影響を与えることは無い。したがって、駆動検出回路部 50 においては、第 1 検出電極 30R からの出力  $V_{gr}$  とインピーダンス変換回路 51 の一方側の出力  $V_{zr}$  及び第 2 検出電極 30L からの出力  $V_{gl}$  とインピーダンス変換回路 51 の他方側の出力  $V_{zl}$  とがそれぞれ同一の大きさである。駆動検出回路部 50 においては、振動素子 20 によって手振れ検出が行われて第 1 検出電極 30R からの出力  $V_{gr}$  と第 2 検出電極 30L からの出力  $V_{gl}$  とに差があっても、加算回路 52 からの出力  $V_{sa}$  に保持される。

【0067】

駆動検出回路部 50 においては、例えばスイッチング動作等によってノイズが重畳されることがあっても、発振回路 53 の出力  $V_{go}$  に重畳されたノイズ成分が振動素子 20 におけるバンドフィルタと同等の働きによって共振周波数以外の成分が除去されることで、差動増幅回路 54 からノイズ成分が除去された高精度の出力  $V_{da}$  を得ることが可能となる。なお、振動型ジャイロセンサ 1 は、上述した駆動検出回路部 50 に限定されるものではなく、固有振動する振動素子部 23 の手振れ動作による変位を圧電薄膜層 28 と一対の検出電極 30 とによって検出し、適宜の処理を行って検出出力を得るように構成されればよい。

【0068】

振動型ジャイロセンサ 1 においては、上述したように X 軸方向の角速度を検出する第 1 振動素子 20X と Y 軸方向の角速度を検出する第 2 振動素子 20Y とを備えている。振動型ジャイロセンサ 1 においては、第 1 振動素子 20X に接続された第 1 駆動検出回路部 50X から X 軸方向の検出出力  $V_{sdX}$  を得るとともに、第 2 振動素子 20Y に接続された第 2 駆動検出回路部 50Y から Y 軸方向の検出出力  $V_{sdY}$  を得る。振動型ジャイロセンサ 1 においては、1 個の支持基板 2 にそれぞれの振動素子部 23 の軸線を異にして 2 個の振動素子 20 を精密に実装することで、構造の簡易化と小型化を図り、2 軸方向の検出動作を高精度に行うことが可能である。

【0069】

振動型ジャイロセンサ 1 においては、上述した振動素子 20 が、例えば図 8 及び図 9 に示すように、主面 21-1 の方位面が (100) 面、側面 21-3 の方位面が (110) 面となるように切り出されたシリコン基板 21 を基材にして多数個が一括して形成された後に、切断工程を経て 1 個ずつに切り分けられる。なお、シリコン基板 21 については、振動素子 20 を完成させた状態で所定の大きさに切り分けられるが、説明の便宜上、大型の素材についても同一符号を付すものとする。

**【0070】**

シリコン基板 21 は、外形寸法が、工程に用いられる設備仕様に応じて切り出し寸法が適宜決定され例えば  $300 \times 300$  (mm) とされる。シリコン基板 21 は、作業性やコスト等によって厚み寸法を決定されるが、少なくとも振動素子 20 の基部 22 の厚み寸法よりも大きな厚みであればよい。シリコン基板 21 は、上述したように基部 22 の厚みが  $300 \mu\text{m}$  であるとともに振動子部 23 の厚みが  $100 \mu\text{m}$  とすることから、 $300 \mu\text{m}$  の基板が用いられる。

**【0071】**

シリコン基板 21 には、熱酸化処理が施されて、図 8 に示すよう第 1 主面 21-1 上及び第 2 主面 21-2 上にそれぞれシリコン酸化膜 ( $\text{SiO}_2$  膜) 33A、33B (以下、個別に説明する場合を除いてシリコン酸化膜 33 と総称する。) が全面に亘って形成されている。シリコン酸化膜 33 は、後述するようにシリコン基板 21 に結晶異方性エッチング処理を施す際に保護膜として機能する。

**【0072】**

振動素子製造工程は、シリコン基板 21 の第 1 主面 21-1 に形成したシリコン酸化膜 33A に対して、各振動素子 20 の形成領域に対応した振動素子形成部位を除去して開口部を形成する工程が施される。振動素子製造工程は、シリコン基板 21 のシリコン酸化膜 33A 上に例えば感光性フォトリソist材によってフォトリソist層 34 を全面に亘って形成する。なお、フォトリソist層 34 は、半導体プロセスと同様に、シリコン酸化膜 33A をマイクロ波で加熱して水分を除去するプレバッキング処理を施した後に、感光性樹脂によって成膜される。

**【0073】**

振動素子製造工程は、フォトリソist層 34 に対して各振動素子形成部位を開口部としたマスキングを行った状態で、フォトリソist層 34 に対して露光、現像処理を施す。振動素子製造工程は、これらの工程を経て、図 10 及び図 11 に示すように振動素子形成部位に対応したフォトリソist層 34 を除去してシリコン酸化膜 33A を外方に臨ませるフォトリソist層開口部 35 を形成する。なお、シリコン基板 21 には、図 10 に示すように  $3 \times 5$  個のフォトリソist層開口部 35 が形成されることによって、15 個の振動素子 20 が一括して形成される。

**【0074】**

振動素子製造工程は、フォトリソist層 34 を除去した後に、フォトリソist層開口部 35 に臨ませられたシリコン酸化膜 33A を除去する第 1 エッチング処理を施し、さらにシリコン基板 21 に対して振動素子 20 の振動子部 23 に対応する部位を形成する第 2 エッチング処理が施される。第 1 エッチング処理は、シリコン基板 21 の界面の平滑性を保持するために、シリコン酸化膜 33A のみを除去する湿式エッチング法を採用するが、この方法に限定されるものではなく例えばイオンエッチング法等の適宜のエッチング処理であってもよい。

**【0075】**

第 1 エッチング処理には、エッチング液として例えばフッ化アンモニウム溶液を用い、シリコン酸化膜 33A を除去してシリコン酸化膜開口部 36 を形成することにより、図 12 及び図 13 に示すように、シリコン基板 21 の第 1 主面 21-1 を外方に臨ませる。なお、第 1 エッチング処理は、長時間に亘ってエッチングを行った場合にシリコン酸化膜開口部 36 の側面からエッチングが進行するいわゆるサイドエッチング現象が生じることから、シリコン酸化膜 33A がエッチングされた時点で終了するようにエッチング時間を正確に管理することが好ましい。

**【0076】**

第 2 エッチング処理は、シリコン酸化膜開口部 36 から外方に臨ませられたシリコン基板 21 を振動子部 23 の厚みまでエッチングする工程であり、シリコン基板 21 の結晶方向にエッチング速度が依存する性質を利用した結晶異方性の湿式エッチングが施される。第 2 エッチング処理は、エッチング液として例えば TMAH (水酸化テトラメチルアンモ

ニウム)やKOH(水酸化カリウム)或いはEDP(エチレンジアミン-ピロカテコール-水)溶液が用いられる。第2エッチング処理は、具体的にはエッチング液として表裏面のシリコン酸化膜33A、33Bのエッチングレートを選択比がより大きくなるTMAH20%溶液を用い、このエッチング液を攪拌しながら温度を80℃に保ち、6時間のエッチングを行った。

#### 【0077】

第2エッチング処理は、シリコン基板21が第1主面21-1に対して側面21-3の対エッチング性が小さい特性によって、(100)面に対して約55°の角度の面方位となる(110)面が出現し、シリコン基板21の第1主面21-1に図14及び図15に示すように所定の寸法形状を有する矩形凹部37を形成する。第2エッチング処理は、シリコン酸化膜開口部36に臨ませられたシリコン基板21の厚みを振動子部23の厚みに達するまでエッチングすることによって、図16に詳細を示すいわゆるダイヤフラム部38を形成する。

#### 【0078】

矩形凹部37は、図14に示すように長さ寸法t8、幅寸法t9の開口寸法を有し、図16に示すように深さ寸法t10を以って形成される。矩形凹部37は、図15に示すように、第1主面21-1から第2主面21-2側に向かって次第に開口寸法が小さくなる断面が台形の空間部を構成する。矩形凹部37は、内周壁が上述したように内方下がりにより55°の傾斜角度θを付されて形成される。ダイヤフラム部38は、後述するように振動子部23の幅寸法t6と長さ寸法t5及びその外周部に形成する後述する外形溝39の幅寸法t7(図29参照)とによって規定する。外形溝39は、幅寸法t7が、(深さ寸法t10×1/tan55°)で求められる。

#### 【0079】

したがって、矩形凹部37は、ダイヤフラム部38の幅を規定する開口幅寸法t9が、 $(t10 \times 1 / \tan 55^\circ) \times 2 + t6$ (振動子部23の幅寸法)+ $2 \times t7$ (スリットの幅寸法)から求められる。矩形凹部37は、幅寸法t9が、 $t10 = 200 \mu m$ 、 $t6 = 100 \mu m$ 、 $t7 = 200 \mu m$ とすると、 $t9 = 780 \mu m$ となる。

#### 【0080】

シリコン基板21には、上述した第2エッチング処理を施すことによって長さ方向についても幅方向と同様にその内周壁がそれぞれ傾斜角度を55°の傾斜面として構成された矩形凹部37を形成する。したがって、矩形凹部37は、ダイヤフラム部38の長さを規定する長さ寸法t8が、 $(t10 \times 1 / \tan 55^\circ) \times 2 + t5$ (振動子部23の長さ寸法)+ $t7$ (スリットの幅寸法)から求められる。矩形凹部37は、長さ寸法t8が、 $t10 = 200 \mu m$ 、 $t5 = 2.5 mm$ 、 $t7 = 200 \mu m$ とすると、 $t8 = 2980 \mu m$ となる。

#### 【0081】

振動素子製造工程は、上述した工程を経て、シリコン基板21に矩形凹部37の底面と第2主面21-2との間に、所定の厚みを有して振動子部23を構成する図16に示す矩形のダイヤフラム部38を形成する。振動素子製造工程は、ダイヤフラム部38の第2主面21-2側を加工面として電極形成工程が施される。電極形成工程は、例えばマグネトロンスパッタ装置によって、第2主面21-2上に、図17に示すようにシリコン酸化膜33Bを介して基準電極層27を構成する第1電極層40と、圧電薄膜層28を構成する圧電膜層41と、駆動電極層29及び検出電極30とを構成する第2電極層42とを積層形成する。

#### 【0082】

なお、振動素子製造工程においては、振動子部23に対する上述した第1電極層40の形成工程と第2電極層42の形成工程に合わせて、基部22の形成部位に各リード31や端子部25を形成するための導体層の形成工程も同時に行われるようにする。

#### 【0083】

第1電極層形成工程は、振動子構成部位35のシリコン酸化膜層30B上に全面に亘っ



てチタンをスパッタリングしてチタン薄膜層を形成する工程と、このチタン薄膜層上にプラチナをスパッタリングしてプラチナ層を形成して2層構成の第1電極層40を積層形成する。チタン薄膜層形成工程は、ガス圧0.5 Pa、RF（高周波）パワー1 kWのスパッタ条件でシリコン酸化膜層30B上に膜厚が50 nm程度のチタン薄膜層を成膜する。プラチナ層形成工程は、ガス圧0.5 Pa、RFパワー0.5 kWのスパッタ条件でチタン薄膜層上に膜厚が200 nm程度のプラチナ薄膜層を成膜する。

【0084】

第1電極層40は、チタン薄膜層がシリコン酸化膜層30Bとの密着性を向上させる作用を奏するとともに、プラチナ層が良好な電極として作用する。第1電極層形成工程は、上述した第1電極層40の形成と同時にダイヤフラム部38から基部22の形成領域へと延長して第1リード31Aと第1端子部25Aとを構成する電極層を形成する。

【0085】

圧電膜層形成工程は、上述した第1電極層40上に全面に亘って、例えばチタン酸ジルコン酸鉛（PZT）をスパッタリングして所定の厚みの圧電膜層37を積層形成する。圧電膜層形成工程は、 $Pb(1+x)(Zr_{0.53}Ti_{0.47})O_{3-y}$  酸化物をターゲットとして用いて、ガス圧0.7 Pa、RFパワー0.5 kWのスパッタ条件で第1電極層40上に膜厚が1  $\mu$ m程度のPZT層からなる圧電膜層41を薄膜形成する。圧電膜層形成工程は、電気炉により圧電膜層41をベーキングすることによって、結晶化熱処理を施す。ベーキング処理は、例えば酸素雰囲気下で、700℃、10分間の条件で行う。なお、圧電膜層41は、上述した第1電極層40から延長された基部22の形成領域に形成された電極層の一部を被覆して形成される。

【0086】

第2電極層形成工程は、上述した圧電膜層41上に全面に亘って、プラチナをスパッタリングしてプラチナ層を形成することによって第2電極層42を積層形成する。第2電極層形成工程は、ガス圧0.5 Pa、RFパワー0.5 kWのスパッタ条件で圧電膜層41上に膜厚が200 nm程度のプラチナ薄膜層を成膜する。

【0087】

振動素子製造工程は、上述した工程を経て最上層に形成された第2電極層42に対してパターンニング処理を施す第2電極層パターンニング工程によって、図18及び図19に示すように所定形状の駆動電極層29と一对の検出電極30R、30Lとを形成する。駆動電極層29は、上述したように振動子部23を駆動させる所定の駆動電圧が印加される電極であり、振動子部23の幅方向の中央領域に所定の幅を以って長さ方向のほぼ全域に亘って形成される。検出電極30は、振動子部23に発生したコリオリ力を検出する電極であり、駆動電極層29の両側に位置して長さ方向のほぼ全域に亘って互いに絶縁を保持されて平行に形成される。

【0088】

第2電極層パターンニング工程は、第2電極層42に対してフォトリソグラフ処理を施して図18に示すように圧電膜層37上に駆動電極層29と検出電極30とを形成する。第2電極層パターンニング工程は、第2電極層42上にレジスト層を形成し、駆動電極層29と検出電極30との対応部位を例えばイオンエッチング法等によって除去した後にレジスト層を洗浄する等の工程を経て、駆動電極層29と検出電極30とをパターン形成する。第2電極層パターンニング工程は、かかる工程に限定されず、半導体プロセスにおいて採用されている適宜の導電層形成工程を利用して駆動電極層2や検出電極30を形成するようにしてもよいことは勿論である。

【0089】

第2電極層パターンニング工程においては、駆動電極層29と検出電極30とが、図18に示すように先端部とともに振動子部23の根元となる根元部位43においても同一となるようにして形成される。第2電極層パターンニング工程においては、根元部位43において一致された駆動電極層29と検出電極30との基端部に、それぞれ幅広とされたリード接続部29-1、30R-1、30L-1が一体にパターン形成される。

## 【0090】

第2電極層パターンニング工程は、例えば長さ寸法 $t_{12}$ がそれぞれ2mmであり、幅寸法 $t_{13}$ が $50\mu\text{m}$ の駆動電極層29を挟んで、幅寸法 $t_{14}$ が $10\mu\text{m}$ の第1検出電極30Rと第2検出電極30Lとを、 $5\mu\text{m}$ の間隔寸法 $t_{15}$ を以ってパターン形成する。また、第2電極層パターンニング工程は、長さ寸法 $t_{16}$ がそれぞれ $50\mu\text{m}$ 、幅寸法 $t_{17}$ もそれぞれ $50\mu\text{m}$ としたリード接続部29-1、30R-1、30L-1をパターン形成する。なお、第2電極層パターンニング工程は、駆動電極層29と検出電極30とが上述した寸法値に限定されるもので無く、振動子部23の第2主面上に形成することが可能な範囲で適宜形成される。

## 【0091】

振動素子製造工程は、圧電膜層41に対して上述した駆動電極層29と検出電極30よりも大きな面積の部位を残して圧電膜層パターンニング処理を施すことによって、圧電薄膜層28を形成する。圧電薄膜層28は、振動子部23に対して、その幅よりもやや小幅であり基端部から先端部の先端近傍位置に亘って形成される。

## 【0092】

圧電膜層パターンニング工程は、圧電膜層41に対してフォトリソグラフ処理を施して圧電薄膜層28の対応部位にレジスト層を形成し、不要な部位の圧電膜層41を例えばフッ硝酸溶液を用いた湿式エッチング法等によって除去した後に、レジスト層を洗浄する等の工程を経て、図20及び図21に示す圧電薄膜層28を形成する。なお、圧電膜層パターンニング工程においては、圧電膜層41を湿式エッチング法によってエッチング処理を施すようにしたが、かかる工程に限定されるものでは無く、例えばイオンエッチング法や反応性イオンエッチング法(RIE: Reactive Ion Etching)等の適宜の方法を施すことにより圧電薄膜層28を形成するようにしてもよいことは勿論である。

## 【0093】

圧電膜層パターンニング工程においては、圧電薄膜層28の基端部が図20に示すように振動子部23の根元となる根元部位43において駆動電極層29と検出電極30と同一となるようにして形成される。圧電膜層パターンニング工程においては、基端部から駆動電極層29や検出電極30のリード接続部29-1、30R-1、30L-1よりも大きな面積を有して端子受け部28-1が一体にパターン形成される。

## 【0094】

圧電膜層パターンニング工程は、長さ寸法 $t_{18}$ が2.2mm、幅寸法 $t_{19}$ が $90\mu\text{m}$ の圧電薄膜層28をパターン形成する。圧電膜層パターンニング工程は、リード接続部29-1、30R-1、30L-1の周囲に $5\mu\text{m}$ の幅寸法を有して端子受け部28-1がパターン形成される。なお、圧電膜層パターンニング工程は、圧電薄膜層28が上述した寸法値に限定されるもので無く、駆動電極層29や検出電極30よりも大きな面積を以って振動子部23の第2主面上に形成することが可能な範囲で適宜形成される。

## 【0095】

振動素子製造工程は、第1電極層パターンニング工程によって圧電膜層41が除去された第1電極層40に対して、上述した第2電極層パターンニング工程と同様のパターンニング処理を施して図22及び図23に示すように基準電極層27をパターン形成する。第1電極層パターンニング工程は、第1電極層40上にレジスト層を形成し、基準電極層27の対応部位を例えばイオンエッチング法等によって除去した後にレジスト層を洗浄する等の工程を経て、基準電極層27をパターン形成する。第1電極層パターンニング工程は、かかる工程に限定されず、半導体プロセスにおいて採用されている適宜の導電層形成工程を利用して基準電極層27を形成するようにしてもよいことは勿論である。

## 【0096】

第1電極層パターンニング工程においては、振動子部23の第2主面上においてその幅よりもやや小幅で圧電薄膜層28よりも大きな幅を有する基準電極層27を形成する。第1電極層パターンニング工程においては、基準電極層27の基端部が図22に示すように振動子部23の根元となる根元部位43において駆動電極層29と検出電極30及び圧電薄膜

層 28 と同一となるようにして形成される。第 1 電極層パターンニング工程においては、基端部から側方へと一体に引き出されて基部 22 の形成部位上に第 1 リード 31 A とその先端部に第 1 端子部 25 A とをパターン形成する。第 1 電極層パターンニング工程は、長さ寸法  $t20$  が  $2.3\text{ mm}$ 、幅寸法  $t21$  が  $94\text{ }\mu\text{m}$  とされ、圧電薄膜層 28 の周囲に  $5\text{ }\mu\text{m}$  の幅寸法を以って基準電極層 27 を形成する。なお、第 1 電極層パターンニング工程は、基準電極層 27 が上述した寸法値に限定されるもので無く、振動子部 23 の第 2 主面上に形成することが可能な範囲で適宜形成される。

#### 【0097】

振動素子 20 は、上述した工程を経て基部 22 の形成部位に形成した駆動電極層 29 と検出電極 30 のリード接続部 29-1、30R-1、30L-1 と端子部 25B~25D とが、リード 31B~31D によってそれぞれ接続される。振動素子製造工程は、リード 31B~31D が相対するリード接続部 29-1、30R-1、30L-1 と円滑に接続するために、図 24 及び図 25 に示す平坦化層 24 を形成する。

#### 【0098】

振動素子 20 においては、リード接続部 29-1、30R-1、30L-1 と端子部 25B~25D とを接続するリード 31B~31D が圧電薄膜層 28 の端子受け部 28-1 や基準電極層 27 の端部を通過して基部 22 の形成部位を引き回される。振動素子 20 においては、上述したように圧電薄膜層 28 が圧電膜層 41 に湿式エッチング処理を施してパターンニングすることから、エッチング箇所の端部がシリコン基板 21 の第 2 主面 21-2 側に向かって逆テーパ或いは垂直な段部となっている。振動素子 20 においては、基部 22 の形成部位にリード 31B~31D を直接形成した場合に、段部において断線を生じさせてしまう。また、振動素子 20 においては、基部 22 の形成部位に圧電薄膜層 28 の端子受け部 28-1 から露出されるようにして基準電極層 27 の第 1 リード 31A が引き回されており、この第 1 リード 31A とリード 31B~31D との絶縁を保持する必要がある。

#### 【0099】

平坦化層形成工程は、基部 22 の形成部位に形成したレジスト層にフォトリソグラフ処理を施して、リード接続部 29-1、30R-1、30L-1 と第 1 リード 31A とを被覆するレジスト層をパターン形成する。平坦化層形成工程は、パターン形成されたレジスト層に  $280^{\circ}\text{C}$ ~ $300^{\circ}\text{C}$  程度の加熱処理を施して硬化させて平坦化層 24 を形成する。平坦化層形成工程は、幅寸法  $t24$  が  $200\text{ }\mu\text{m}$ 、長さ寸法  $t25$  が  $50\text{ }\mu\text{m}$ 、厚み寸法が  $2\text{ }\mu\text{m}$  の平坦化層 24 を形成する。なお、平坦化層形成工程は、かかる工程に限定されるものではなく、半導体プロセス等を実施される適宜のレジスト層形成工程や適宜の絶縁性材料を用いて平坦化層 24 を形成するようにしてもよい。

#### 【0100】

振動素子製造工程は、基部 22 の形成部位に上述した第 2 端子部 25B~第 4 端子部 25D 及び第 2 リード 31B~第 4 リード 31D を形成する配線層形成工程が施される。配線層形成工程は、基部 22 の形成部位に全面に亘って感光性のフォトレジスト層を形成するとともに、このフォトレジスト層に対してフォトリソグラフ処理を施して第 2 端子部 25B~第 4 端子部 25D や第 2 リード 31B~第 4 リード 31D に対応する開口パターンを形成し、さらにスパッタリングによって各開口部内に導体層を形成して配線層を形成する。配線層形成工程は、所定の導体部を形成した後に、フォトレジスト層を除去して図 26 及び図 27 に示す第 2 端子部 25B~第 4 端子部 25D 及び第 2 リード 31B~第 4 リード 31D をパターン形成する。

#### 【0101】

配線層形成工程は、シリコン酸化膜 33B に対する密着性の向上を図るチタン層を形成した後に、このチタン層上に電気抵抗が低く低コストの銅層を形成する。配線層形成工程は、チタン層を  $20\text{ nm}$  の厚みで形成し、銅層を  $300\text{ nm}$  の厚みで形成する。配線層形成工程は、かかる工程に限定されず、例えば半導体プロセスで汎用される各種の配線パターン形成技術によって配線層を形成するようにしてもよい。

**【0102】**

振動素子製造工程は、ダイヤフラム部 38 を貫通して振動子部 23 の外周部を構成する外形溝形成工程が施される。溝形成工程は、上述した各電極層を積層形成したシリコン基板 21 の振動子部 23 の一方側の根元部位 43 を始端として振動子部 23 を囲むようにして他方側の根元部位 43 を終端とする図 28 及び図 29 に示す略コ字状の外形溝 39 を形成する。外形溝 39 は、上述したように  $200\mu\text{m}$  の幅を以って形成される。

**【0103】**

外形溝形成工程は、具体的にはシリコン酸化膜 33B をコ字状に除去する第 1 エッチング工程と、露出されたシリコン基板 21 に貫通溝を形成する第 2 エッチング工程とからなる。第 1 エッチング工程は、シリコン酸化膜 33B 上に全面に亘って感光性のフォトリソスト層を形成するとともに、このフォトリソスト層に対してフォトリソグラフ処理を施してコ字状の開口パターンを形成する。第 1 エッチング工程は、開口パターンに露出されたシリコン酸化膜 33B をイオンエッチングによって除去する。なお、第 1 エッチング工程は、例えば湿式エッチングによってシリコン酸化膜 33B をコ字状に除去することも可能であるが、サイドエッチングによる寸法誤差の発生を考慮して、イオンエッチングが好適に実施される。

**【0104】**

外形溝形成工程は、残されたシリコン酸化膜 33B を保護膜として、第 2 エッチング工程が施される。第 2 エッチング工程は、振動子部 23 の外周部が高精度の垂直面によって構成されるようにするために、シリコン基板 21 に対して例えば反応性イオンエッチングが施される。第 2 エッチング工程には、高密度なプラズマを生成する誘導結合型プラズマ (ICP: Inductively Coupled Plasma) を備えたエッチング装置が用いられ、 $\text{SF}_6$  ガスを導入するエッチング処理と、 $\text{C}_4\text{F}_8$  ガスを導入してエッチングした箇所に外周壁を保護するための保護膜形成工程とを繰り返す Bosch (Bosch 社) プロセスによって、毎分  $10\mu\text{m}$  程度の速度で垂直な内壁を有する外形溝 39 をシリコン基板 21 に形成する。

**【0105】**

振動素子製造工程は、シリコン基板 21 から各振動素子 20 を切り分ける切断工程が施される。振動素子製造工程においては、例えばダイヤモンドカッタ等によって基部 22 の部位に切断加工が施されることによって各振動素子 20 の切り分けが行われる。切断工程については、ダイヤモンドカッタによって切断溝を形成した後に、シリコン基板 21 を折って切り分けが行われる。なお、切断工程は、砥石や研削によりシリコン基板 21 の面方位を利用して切断を行うようにしてもよい。

**【0106】**

振動素子製造工程においては、上述したように振動素子 20 を支持基板 2 に表面実装することから、各端子部 25 上に金バンプ 26 が形成される。金バンプ形成工程は、端子部 25 上に所定の開口部を有するめっきレジスト層を形成するとともに、金めっき処理により各開口部内に金めっき層を所定の高さまで成長させた後にめっきレジスト層を除去するリフトオフ法等によって金バンプ 26 を形成する。なお、金バンプ形成工程においては、必要に応じて基部 22 上にいわゆるダミーバンプも形成される。

**【0107】**

振動素子製造工程においては、上述したバンプ形成工程について、上述した金めっき形成法に限定されず、半導体プロセスで実施されている例えば蒸着法や転写法或いはスタッドバンプ法等によってバンプ形成を行うようにしてもよい。また、振動素子製造工程においては、詳細を省略するが、金バンプ 26 と端子部 25 との密着性を向上させるために、 $\text{TiW}$ 、 $\text{TiN}$  等のいわゆるバンプ下地金属層が形成される。

**【0108】**

以上の工程を経て製造された振動素子 20 は、シリコン基板 21 の第 2 主面 21-2 側を実装面として、支持基板 2 の主面 2-1 上に表面実装法によって実装される。振動素子 20 は、各端子部 25 に設けられた金バンプ 26 を支持基板 2 側の相対するランド 4 に位

置合わせされる。振動素子 20 は、上述したように位置合わせ用マーク 32 が読み取られて、実装機により位置と向きを高精度に位置決めされて実装される。振動素子 20 は、支持基板 2 に押圧した状態で超音波が印加された各金バンプ 26 が相対するランド 4 に溶着されることで支持基板 2 の主面 2-1 上に実装される。支持基板 2 には、主面 2-1 上に IC 回路素子 7 や電子部品 8 を実装した後にカバー部材 60 が取り付けられて振動型ジャイロセンサ 1 を完成させる。

#### 【0109】

振動型ジャイロセンサ 1 は、振動素子 20 が、駆動電極層 29 に対して駆動検出回路部 50 から所定周波数の交流電圧が印加されることによって、振動子部 23 が固有の振動数を以って振動する。振動型ジャイロセンサ 1 は、振動素子 20 の振動子部 23 が、厚み方向である縦方向に縦共振周波数で共振するとともに幅方向である横方向にも横共振周波数で共振する。振動型ジャイロセンサ 1 は、振動素子 20 が、縦共振周波数と横共振周波数との差である離調度が小さいほど高感度特性を有する。振動型ジャイロセンサ 1 は、上述したように結晶異方性エッチング処理や反応性イオンエッチング処理を施して振動子部 23 の外周部を精度よく形成することで高離調度化が図られている。

#### 【0110】

振動素子 20 は、振動子部 23 の長さ寸法  $t_5$  の精度によって縦共振周波数特性に大きな影響が生じる。振動素子 20 は、上述したように振動子部 23 の長さ寸法  $t_5$  を規定する根元部位 43 が、結晶異方性エッチング処理を施すことによって形成されるダイヤモンド部 38 の (100) 面及び  $55^\circ$  の角度をなす傾斜面である (111) 面と、平坦面である境界線とに「ずれ」が生じた場合に、この「ずれ」量に応じて離調度が大きくなってしまう。

#### 【0111】

すなわち、振動素子 20 は、かかる「ずれ」量が、結晶異方性エッチング処理時のシリコン酸化膜 33B 上に形成するレジスト膜パターンと、反応性イオンエッチング処理時のレジスト膜パターンの位置ずれが原因となる。したがって、振動素子 20 は、例えば工程中でシリコン基板 21 の表裏主面 21-1, 21-2 を同時に観察可能な両面アライナー装置によって位置決めする対応を図るようにしてもよい。また、振動素子 20 は、シリコン基板 21 にの主面に適宜の位置決め用パターンやマークを形成し、これらを基準として他方主面の位置規制を行うアライメント装置によって位置決めする対応を図るようにしてもよい。振動素子 20 は、かかる位置決めの対応が支持基板 2 への実装工程に際しても適用可能である。

#### 【0112】

なお、振動素子 20 は、上述した「ずれ」量が約  $30\mu\text{m}$  程度よりも小さな範囲であれば、縦共振周波数と横共振周波数とがほぼ一致する。したがって、振動素子 20 は、やや精度の高いエッチング工程を施すことによって実質的な「ずれ」量による離調度特性の低下を抑制することが可能であり、上述したアライメント装置を用いた対応を不要として製造される。

#### 【0113】

振動型ジャイロセンサ 1 においては、上述したように支持基板 2 の第 1 主面 2-1 と第 2 主面 2-2 とに杵状の第 1 負荷緩衝溝部 12 と第 2 負荷緩衝溝部 14 とからなる外部負荷緩衝構造を形成したが、これら第 1 負荷緩衝溝部 12 や第 2 負荷緩衝溝部 14 が杵状に限定されるものではない。図 30 に第 2 の実施の形態として示した振動型ジャイロセンサ 70 は、支持基板 71 に杵状の第 1 負荷緩衝溝部 72X、72Y を形成するが、さらにこの第 1 負荷緩衝溝部 72 内に十字状の区割り溝 73A、73B を形成して 4 つの個別実装領域 74A~74D を内部に構成する。

#### 【0114】

すなわち、振動型ジャイロセンサ 70 は、各個別実装領域 74 がそれぞれ振動素子 20 の基部 22 に形成した端子部 25 と対応して個別に区割りされており、図示しないがそれぞれに実装端子部 16 が設けられている。振動型ジャイロセンサ 70 においては、かかる

構造によって、金バンプ26を介して相対する実装端子部16に各端子部25を固定されて支持基板71に実装される振動素子20が、全体を第1負荷緩衝溝部72によって囲まれた第1浮島内において各固定部毎に区割り溝73によって区割りされた第2浮島内に個別に固定されて実装される。したがって、振動型ジャイロセンサ70においては、振動素子20が、外部負荷により発生する支持基板71の歪みや応力の影響をより確実に低減されて安定した角速度の検出動作が行われるようにする。

#### 【0115】

上述したように振動型ジャイロセンサ1、70においては、支持基板2、70に第1負荷緩衝溝部12、72や第2負荷緩衝溝部14からなる外部負荷の緩衝構造を形成したて振動素子20による安定した角速度の検出動作が行われるように構成される。振動型ジャイロセンサ1においては、振動の角度方向により出力信号が基準値よりも大小の値を示すために、出力信号に予めオフセット電圧が印加されている。

#### 【0116】

図31は、上述した緩衝構造の作用効果について、出力電圧の変動を測定した結果を示したグラフであり、この変動が小さいほど振動型ジャイロセンサ1が安定した状態で検出動作を行うことが裏付けられる。同図において、縦軸がオフセット電圧値( $\times 10E-4V$ )とし、横軸が測定回数である。比較例として示す支持基板2に第1負荷緩衝溝部12、72や第2負荷緩衝溝部14を設けずに振動素子20を実装した振動型ジャイロセンサは、○印で示す変動状態となった。

#### 【0117】

これに対して、支持基板2に枠状の第1負荷緩衝溝部12のみを形成した振動型ジャイロセンサ1Aは、△印の結果であった。また、第1負荷緩衝溝部72と区割り溝73とによって構成された個別実装領域74に端子部25をそれぞれ固定した振動型ジャイロセンサ1Bは、□印の結果であった。さらに、支持基板2の第2主面2-2に第2負荷緩衝溝部14を形成した振動型ジャイロセンサ1Cは、◇印の結果であった。

#### 【0118】

図31から明らかなように、比較例振動型ジャイロセンサは、測定する毎にオフセット電圧値が大きく変動しており、外部負荷が振動素子20の検出動作に影響を与えて、検出精度が低下する。一方、支持基板2に第1負荷緩衝溝部12や第2負荷緩衝溝部14を形成した振動型ジャイロセンサ1A~1Cは、いずれもオフセット電圧値の変動がほとんど無く、安定した特性が得られることが確認される。なお、第1負荷緩衝溝部12と第2負荷緩衝溝部14とを形成した振動型ジャイロセンサについても、同様にオフセット電圧値の変動がほとんど無く、安定した特性を有することは明らかである。

#### 【0119】

図32は、支持基板2に溝の深さを異にする枠状の第1負荷緩衝溝部12を形成し、同様にしてオフセット電圧値の変化を測定した結果を示したグラフである。同図において、○印は、溝の深さが $0\mu m$ 、すなわち第1負荷緩衝溝部12が形成されていない振動型ジャイロセンサの測定結果を示す。同図において、△印は第1負荷緩衝溝部12の溝の深さを $30\mu m$ とした振動型ジャイロセンサの測定結果を示し、◇印は第1負荷緩衝溝部12の溝の深さを $50\mu m$ とした振動型ジャイロセンサの測定結果を示す。また、同図において、□印は第1負荷緩衝溝部12の溝の深さを $100\mu m$ とした振動型ジャイロセンサの測定結果を示し、●印は第1負荷緩衝溝部12の溝の深さを $200\mu m$ とした振動型ジャイロセンサの測定結果を示す。

#### 【0120】

振動型ジャイロセンサにおいては、同図から明らかなように、第1負荷緩衝溝部12が $50\mu m$ 以下の深さではオフセット電圧値に変動が生じて安定した特性が得られない結果となった。一方、振動型ジャイロセンサにおいては、第1負荷緩衝溝部12が $100\mu m$ を超える深さではオフセット電圧値の変動がほとんど無く、安定した特性を有することは明らかである。

#### 【図面の簡単な説明】

## 【0121】

【図1】実施の形態として示す振動型ジャイロセンサをカバー部材を取り外して示す要部分解斜視図である。

【図2】振動型ジャイロセンサの要部断面図である。

【図3】振動素子の要部底面図である。

【図4】振動型ジャイロセンサの要部底面図である。

【図5】振動型ジャイロセンサの回路構成図である。

【図6】振動素子の各部の寸法値を説明する図である。

【図7】振動子部の各部の寸法値を説明する図である。

【図8】振動素子の製造工程に用いるシリコン基板の平面図である。

【図9】シリコン基板の側面図である。

【図10】フォトレジスト層に振動素子形成部位をパターンニングしたシリコン基板の平面図である。

【図11】同シリコン基板の断面図である。

【図12】シリコン酸化膜層に振動素子形成部位をパターンニングしたシリコン基板の平面図である。

【図13】同シリコン基板の断面図である。

【図14】振動子部の厚みを規定するダイヤフラム部を構成する矩形凹部を形成したシリコン基板の平面図である。

【図15】同シリコン基板の断面図である。

【図16】ダイヤフラム部の構成を説明する要部断面図である。

【図17】ダイヤフラム部に第1電極層と圧電膜層及び第2電極層とを積層形成した状態の要部断面図である。

【図18】第2電極層に駆動電極層と検出電極とをパターンニングした状態の要部平面図である。

【図19】同要部断面図である。

【図20】圧電膜層に圧電薄膜層をパターンニングした状態の要部平面図である。

【図21】同要部断面図である。

【図22】第1電極層に基準電極層をパターンニングした状態の要部平面図である。

【図23】同要部断面図である。

【図24】振動子部の外形を形成する外形溝を形成した状態の長さ方向の要部平面図である。

【図25】同幅方向の要部断面図である。

【図26】基部形成部位に配線層を形成した状態の要部平面図である。

【図27】同要部断面図である。

【図28】振動子部の外形を構成する外形溝を形成した状態の要部断面図である。

【図29】同要部縦断面図である。

【図30】第2の実施の形態として示す振動型ジャイロセンサの構成説明図である。

【図31】負荷緩衝溝部によるオフセット電圧値の変動抑制作用の特性図である。

【図32】負荷緩衝溝部の溝の深さによるオフセット電圧値の変動抑制作用の特性図である。

## 【符号の説明】

## 【0122】

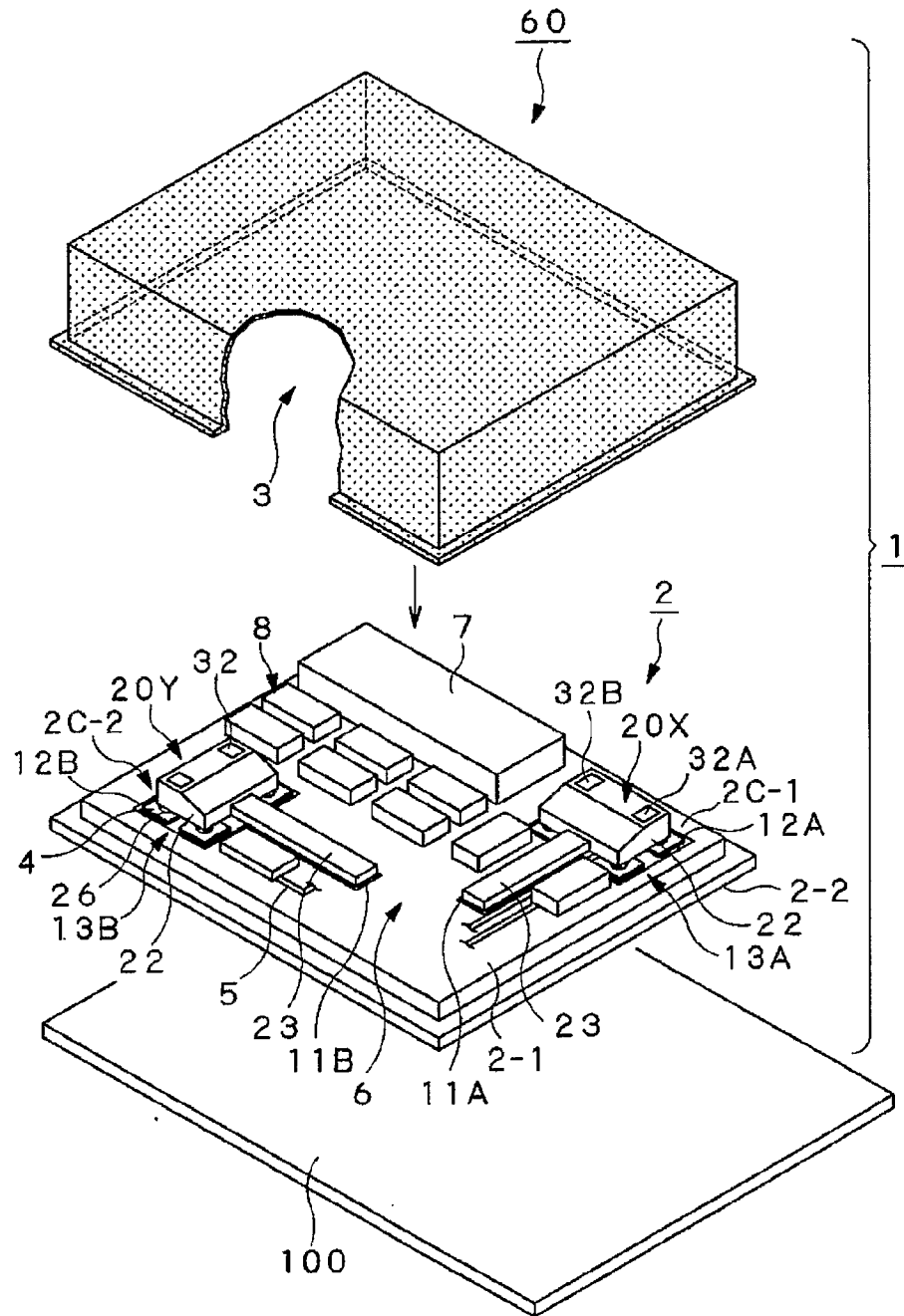
1 振動型ジャイロセンサ、2 支持基板、3 部品実装空間部、4 ランド、5 配線パターン、6 部品実装領域、7 IC回路素子、8 電子部品、12 第1負荷緩衝溝部、13 振動素子実装領域、14 第2負荷緩衝溝部、15 端子形成領域、16 実装端子部、17 バンプ、20 振動素子、21 シリコン基板、22 基部、23 振動子部、24 平坦化層、25 端子部、26 金バンプ、27 基準電極層、28 圧電薄膜層、29 駆動電極層、30 検出電極、31 リード、33 シリコン酸化膜、38 ダイヤフラム部、39 外形溝、40 第1電極層、41 圧電膜層、42 第

2 電極層、5 0 駆動検出回路部、7 0 振動型ジャイロセンサ、7 1 支持基板、7 2  
第 1 負荷緩衝溝部、7 3 区割り溝、7 4 個別実装領域、1 0 0 制御基板

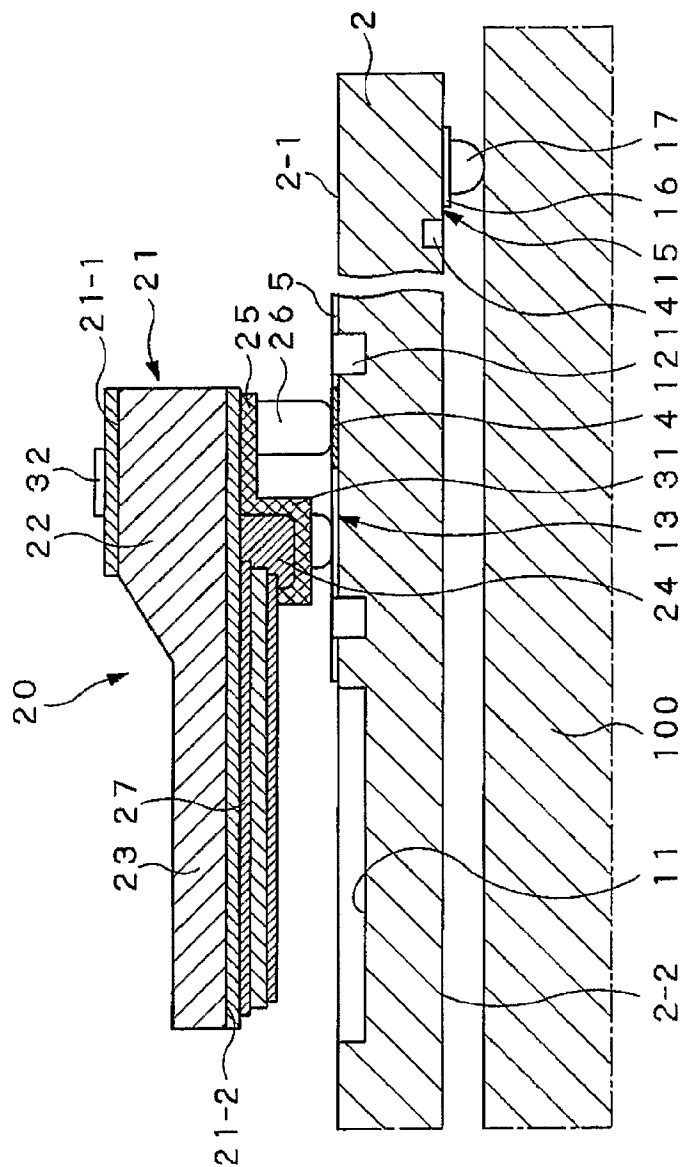


【書類名】 図面

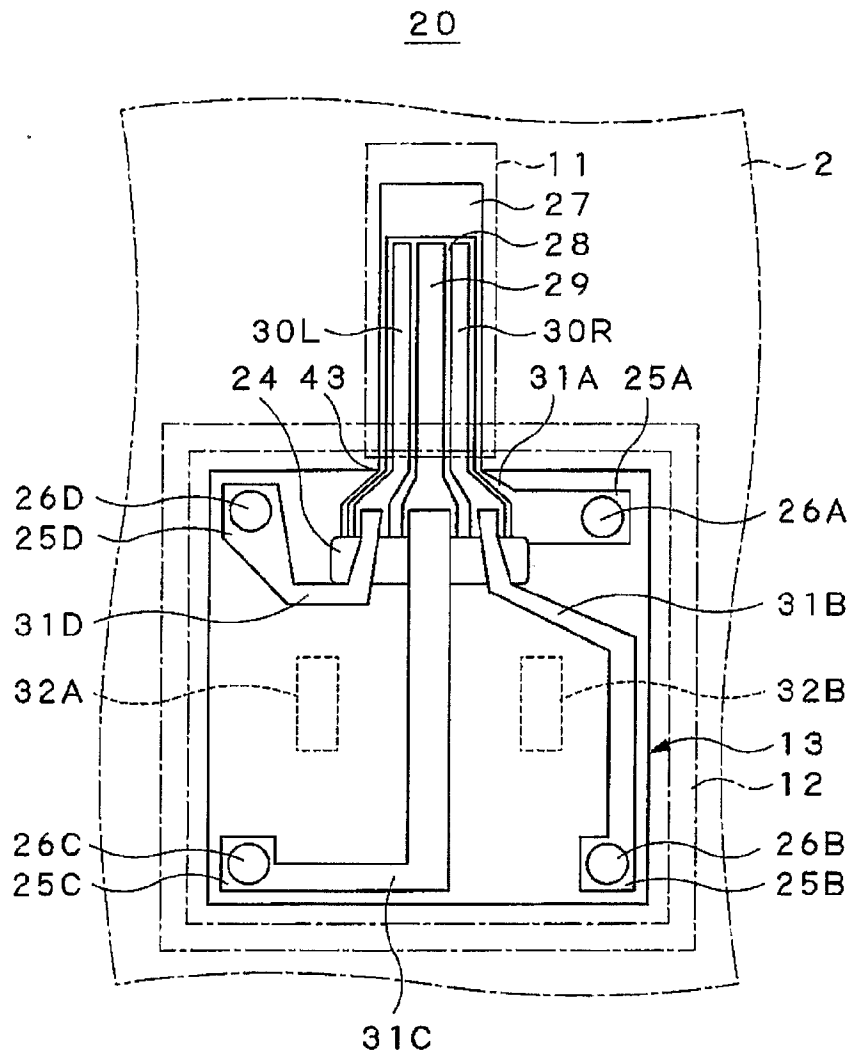
【図 1】



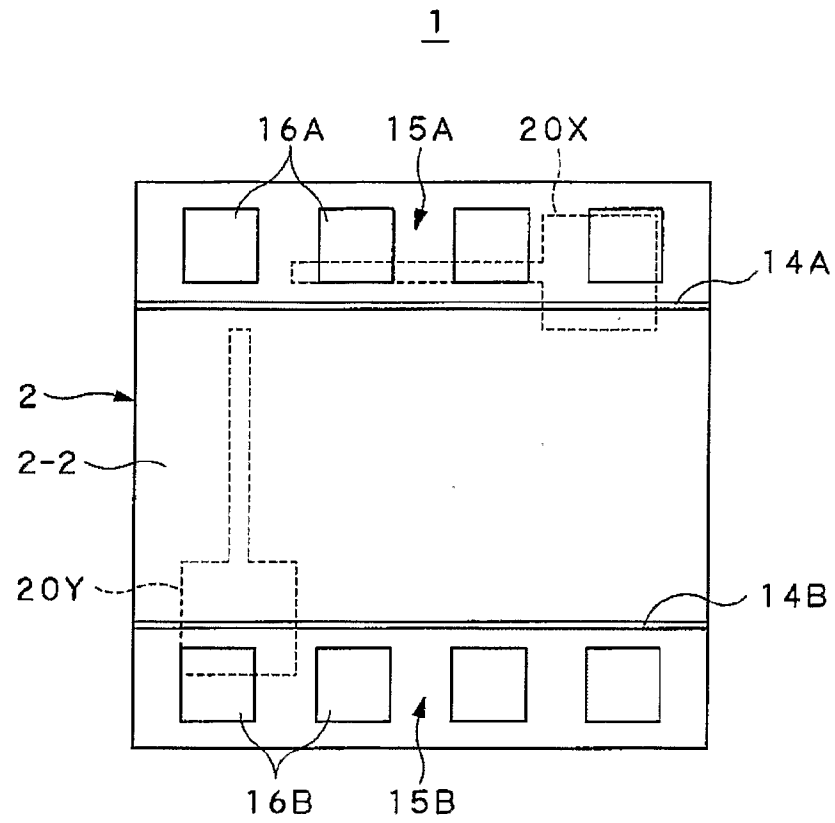
【図 2】



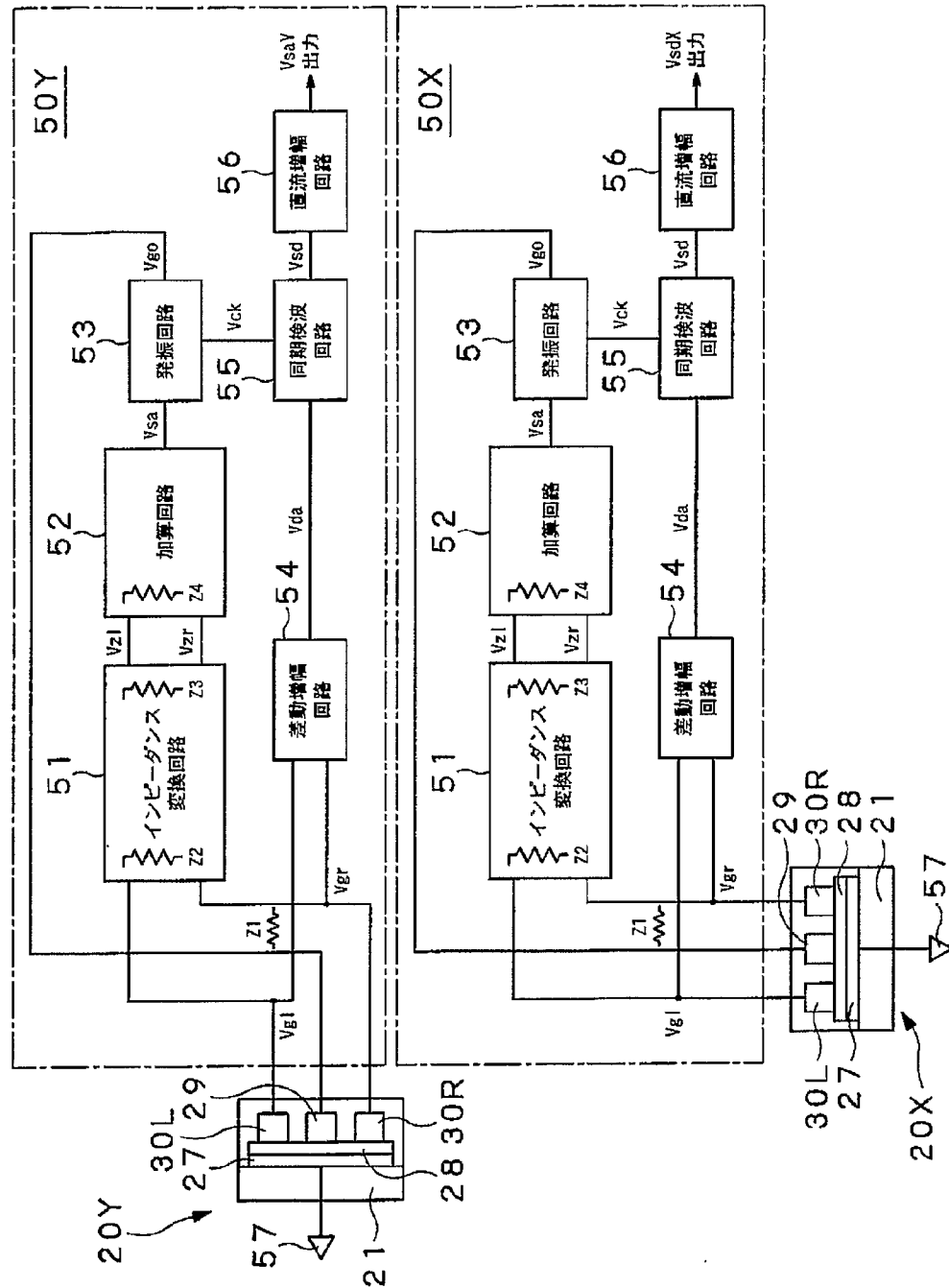
【図 3】



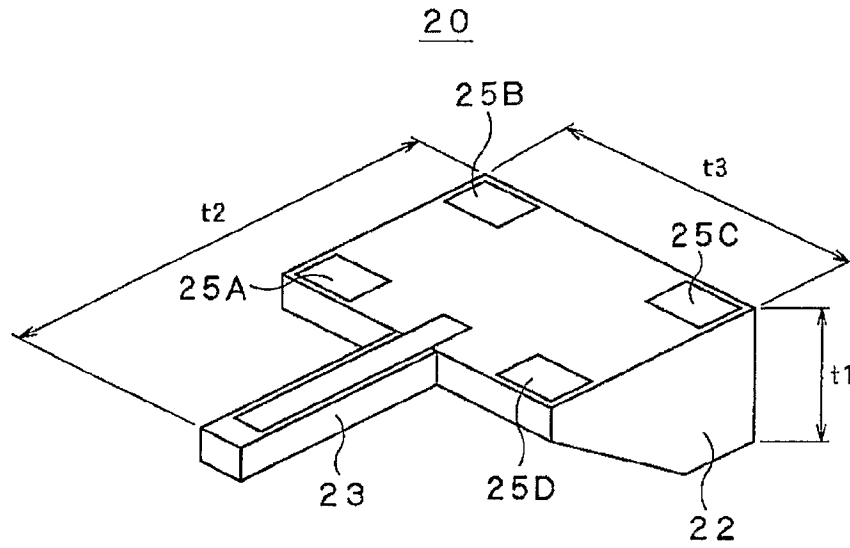
【図 4】



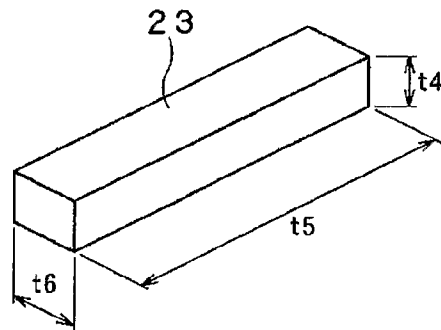
【図 5】



【図 6】

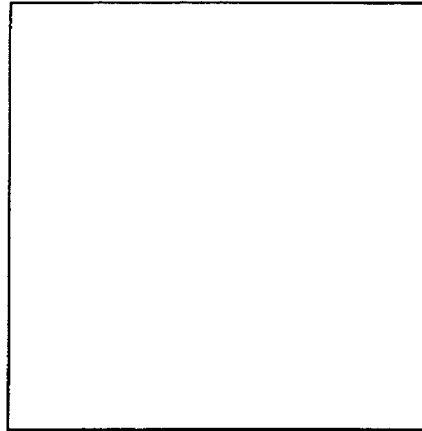


【図 7】

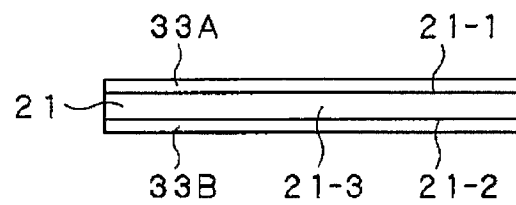


【図 8】

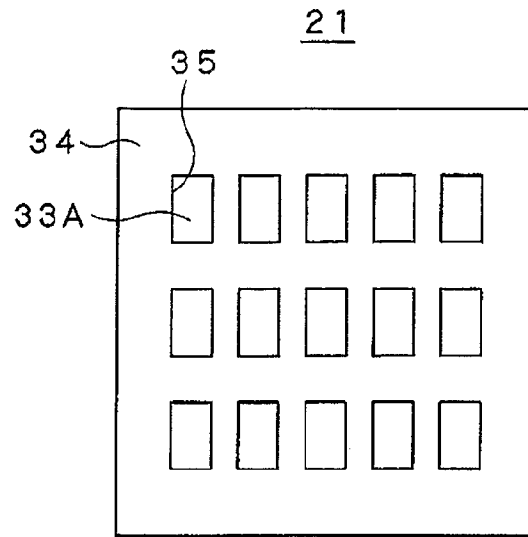
21



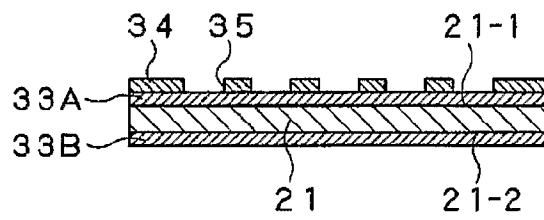
【図 9】



【図 10】

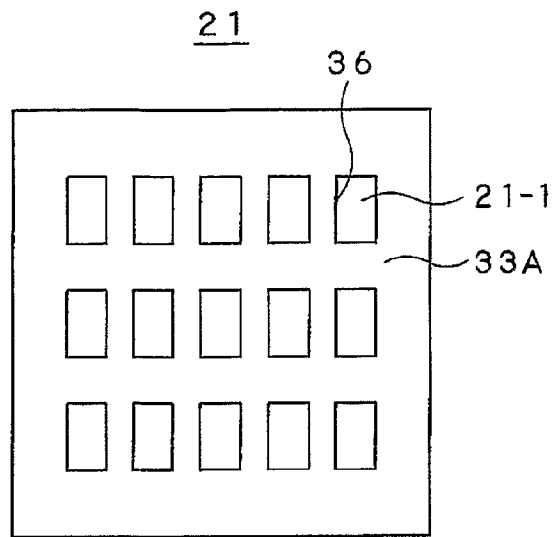


【図 11】

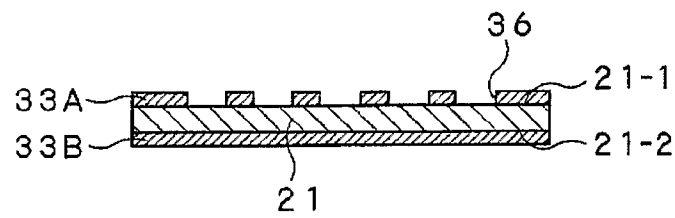




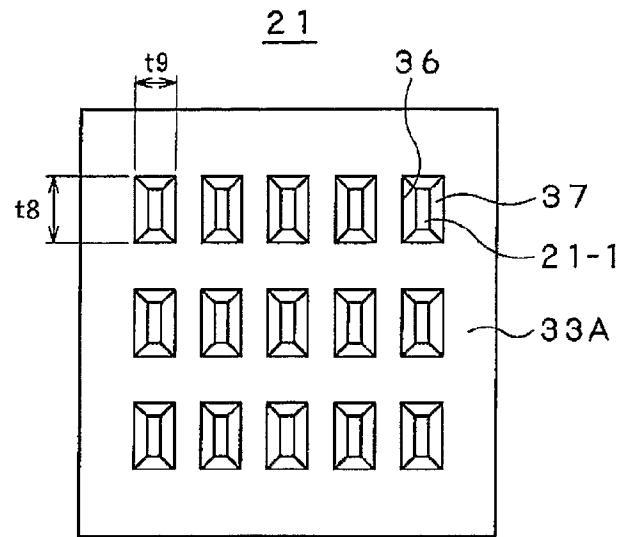
【図 12】



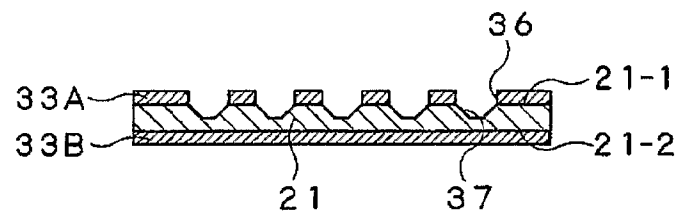
【図 13】



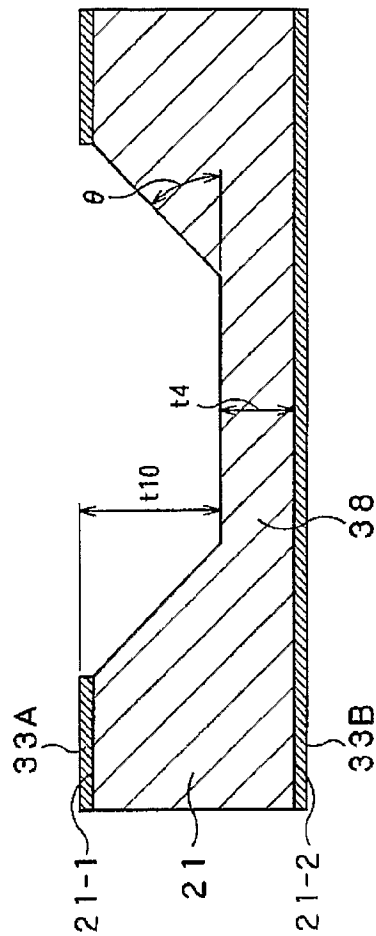
【図 14】



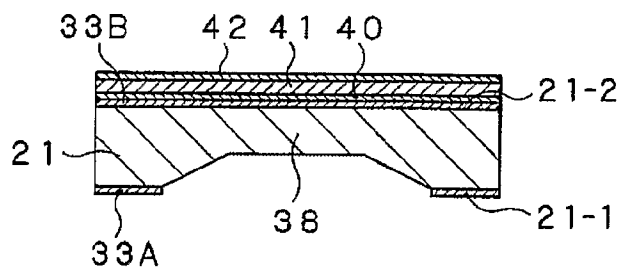
【図 15】



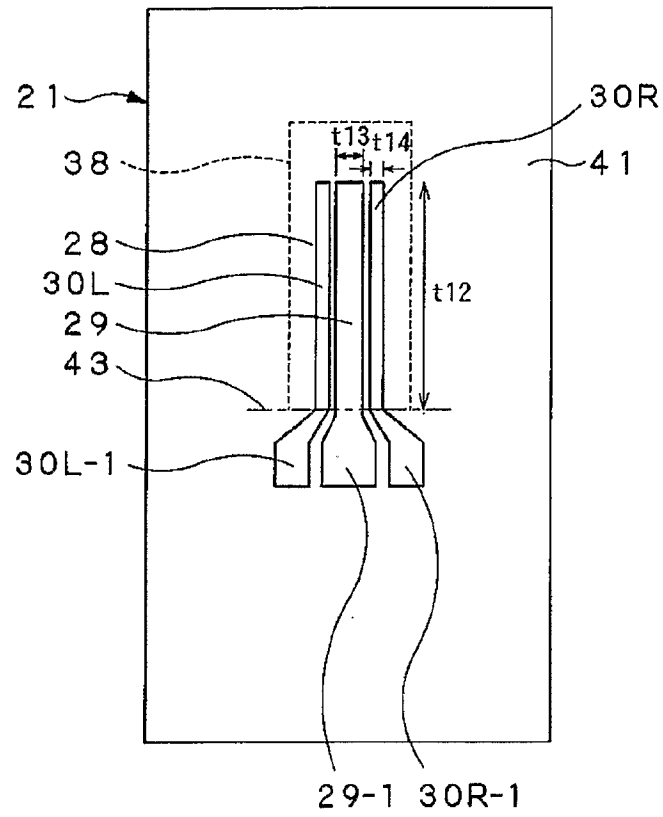
【図 16】



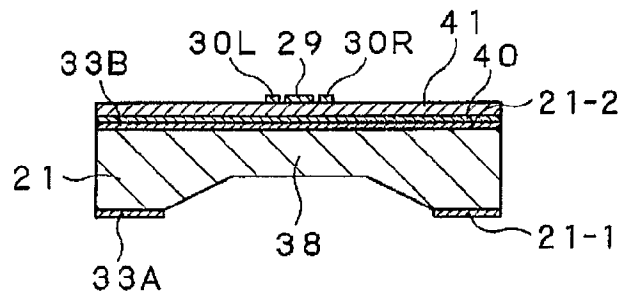
【図 17】



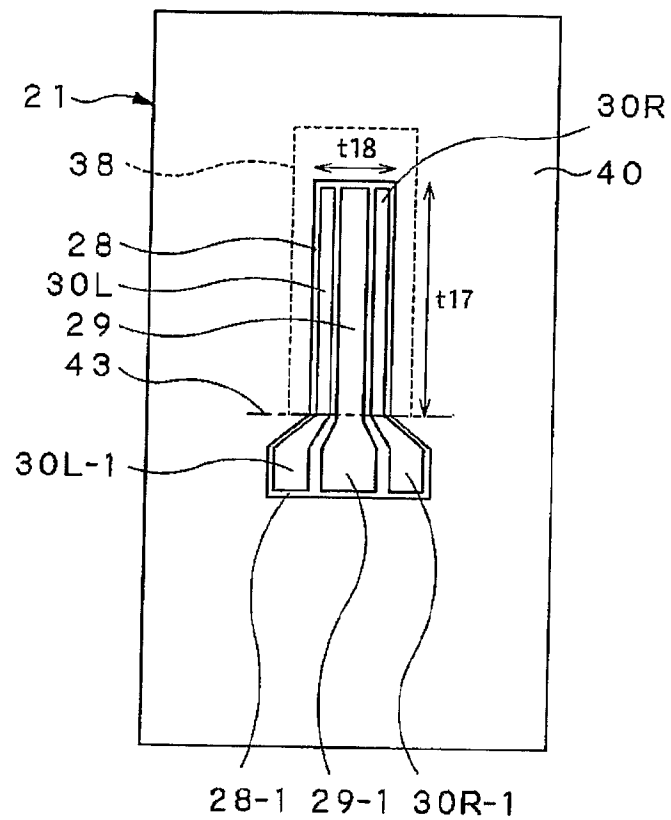
【図 18】



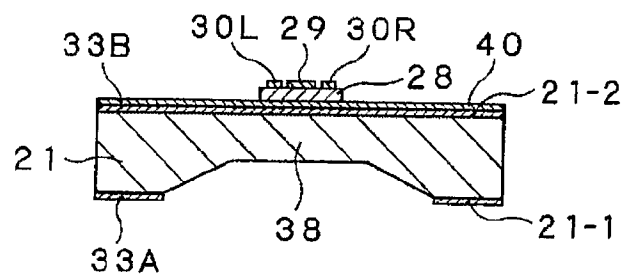
【図 19】



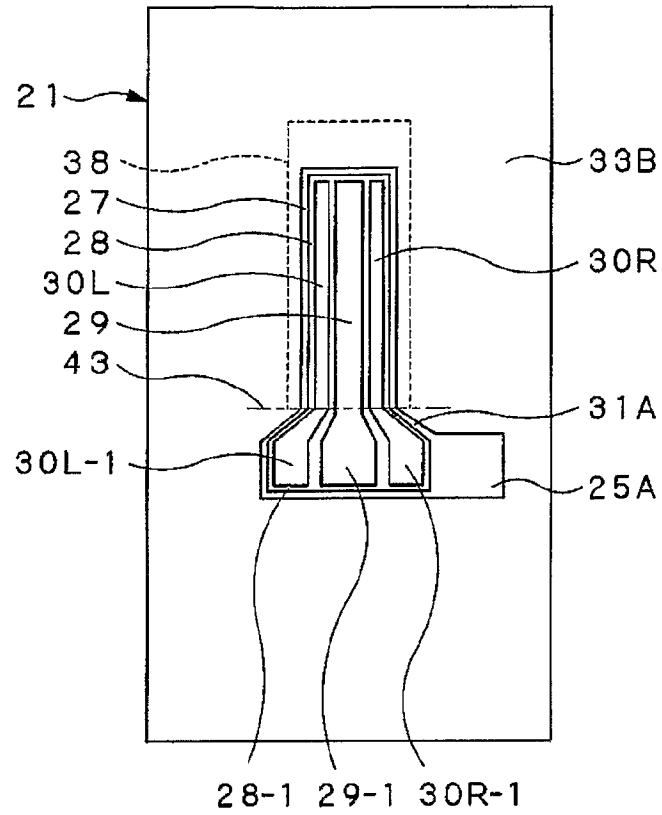
【図 20】



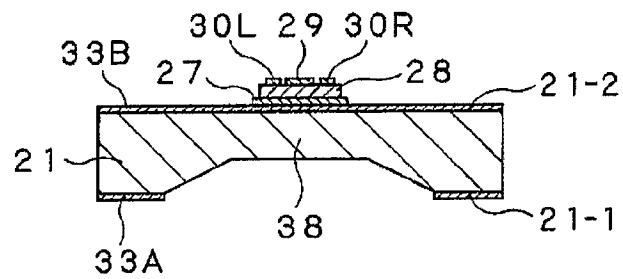
【図 21】



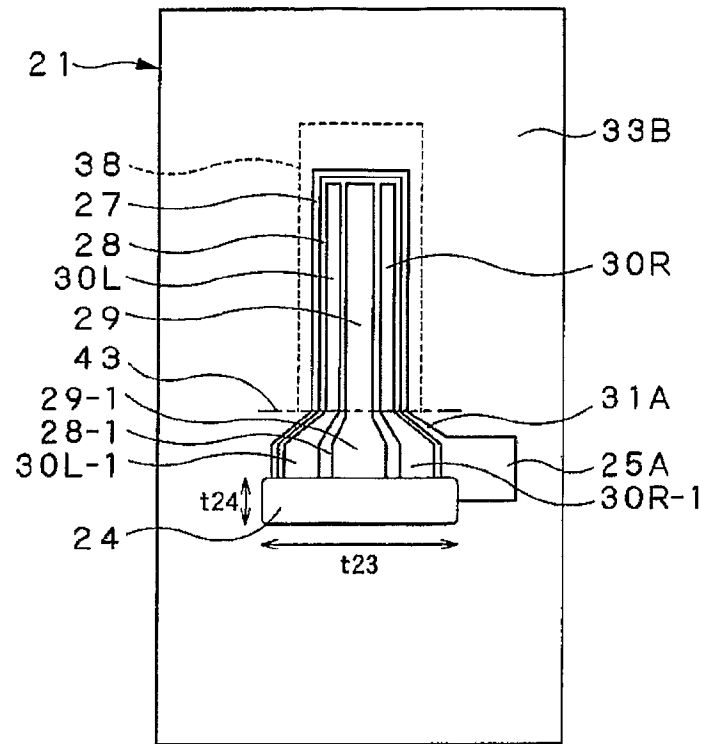
【図 22】



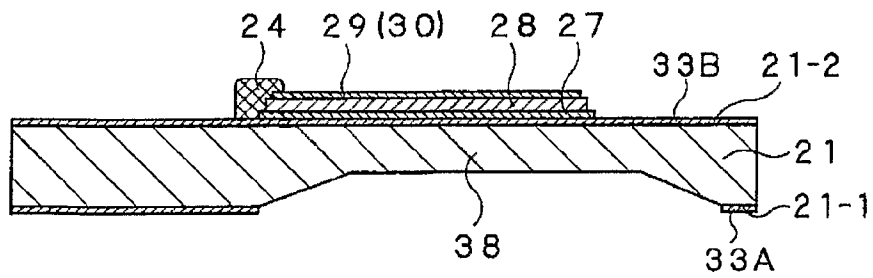
【図 23】



【図 24】

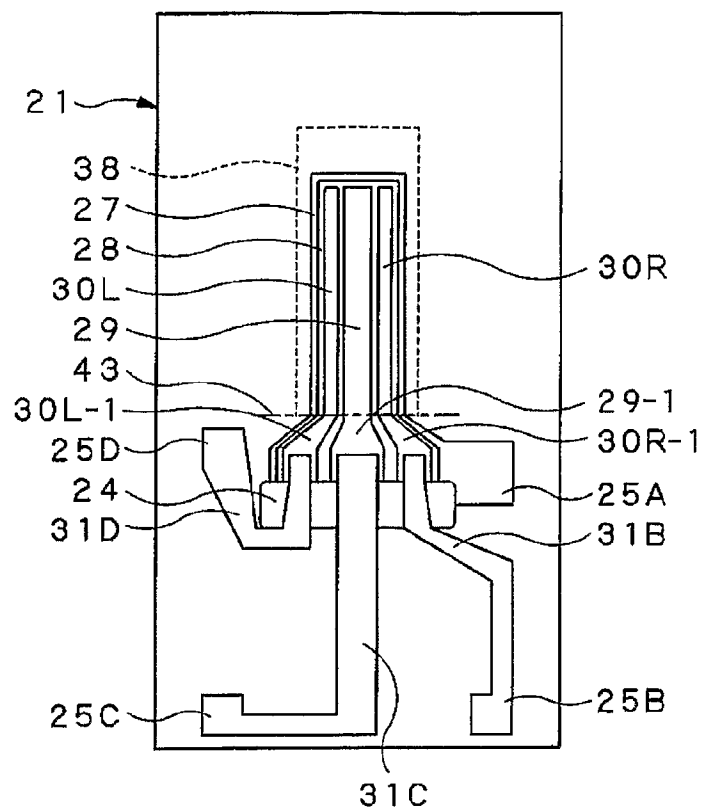


【図 25】

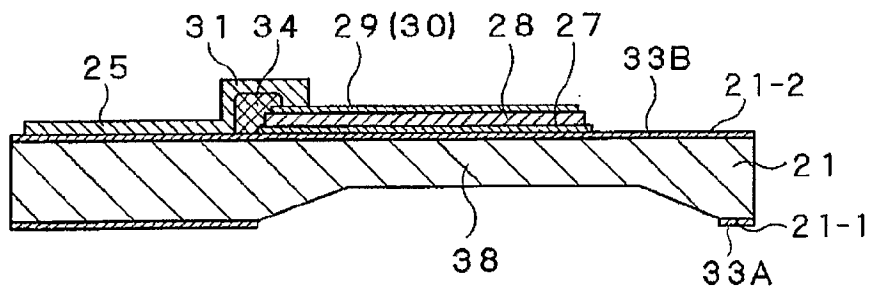




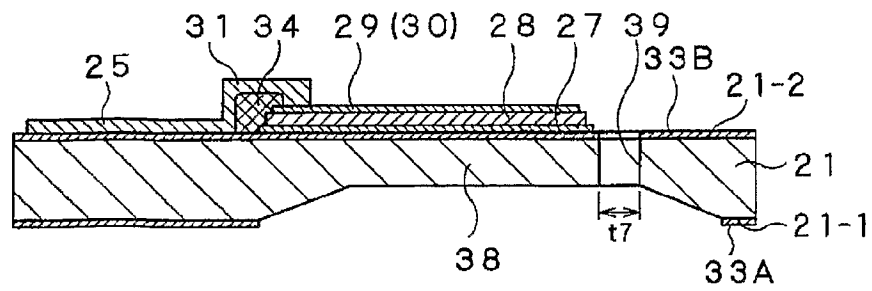
【図 26】



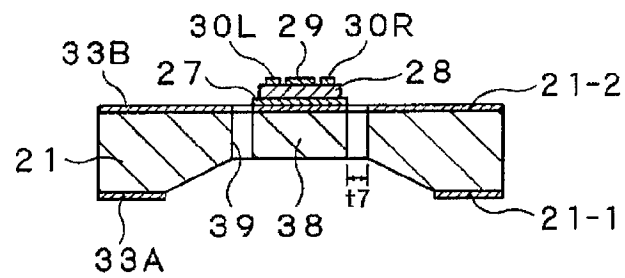
【図 27】



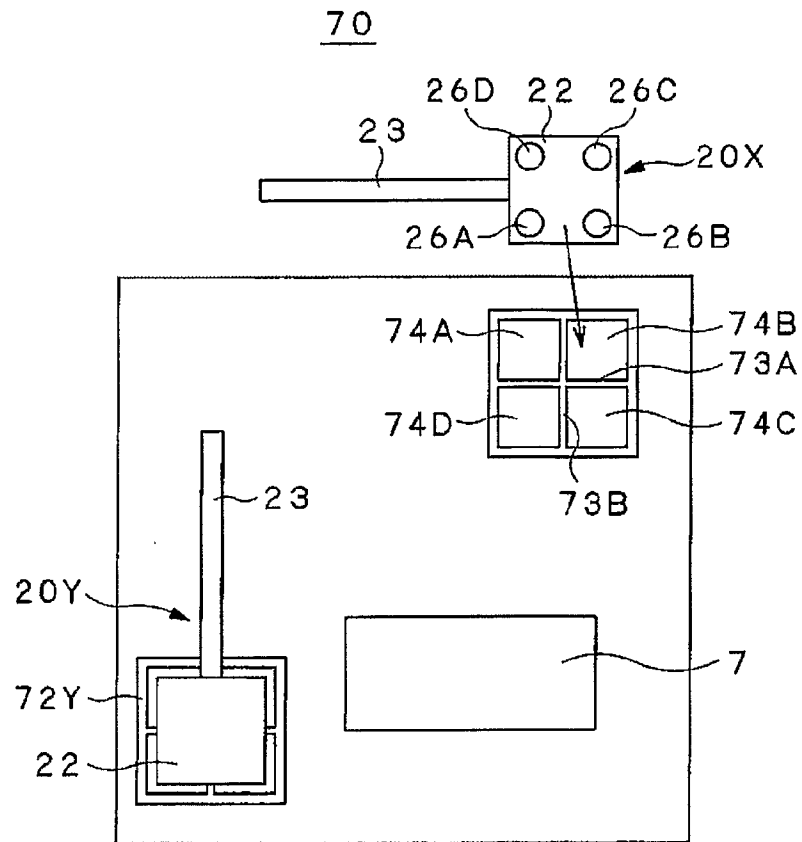
【図 28】



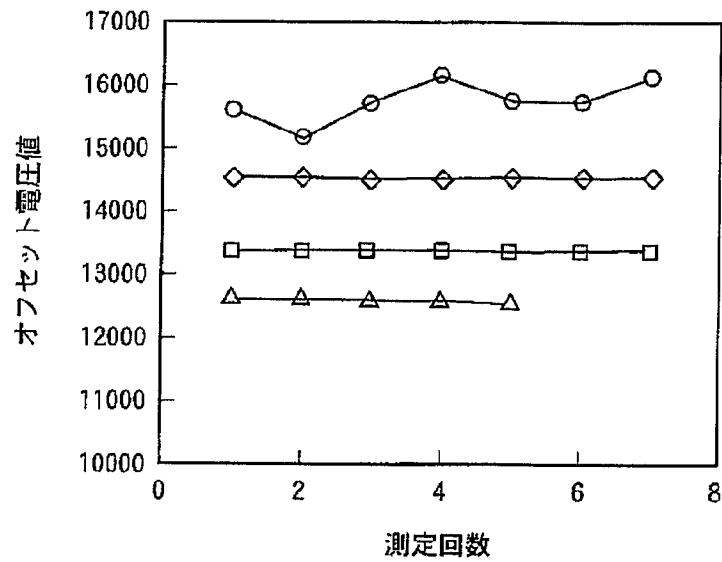
【図 29】



【図 30】

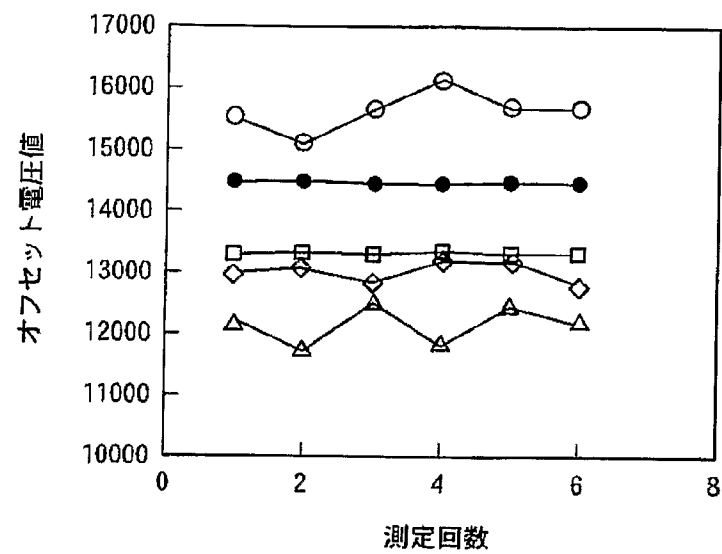


【図31】



- : 比較例
- △ : 振動型  
ジャイロセンサ1A
- : 振動型  
ジャイロセンサ1B
- ◇ : 振動型  
ジャイロセンサ1C

【図 3 2】



- : 溝無し
- △ : 溝の深さ 30 μm
- : 溝の深さ 50 μm
- ◇ : 溝の深さ 100 μm
- : 溝の深さ 200 μm



【書類名】 要約書

【要約】

【課題】 外部負荷の影響を低減して所定の検出特性が奏されるようにする。

【解決手段】 回路素子 7 が実装されるとともに複数個のランド 4 を有する配線パターン 5 が形成された支持基板 2 の主面に、ランド 4 を囲んで負荷緩衝溝部 12 を形成し、この負荷緩衝溝部 12 によって囲まれた領域を素子実装領域 13 として振動素子 20 を実装する。

【選択図】 図 2

特願 2005-066051

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社